

Digital phase control circuit

Patent Number: ☐ [EP1143621](#)
Publication date: 2001-10-10
Inventor(s): WATARAI SEIICHI (JP)
Applicant(s): NIPPON ELECTRIC CO (JP)
Requested Patent: ☐ [JP2001285266](#)
Application Number: EP20010107509 20010326
Priority Number(s): JP20000095604 20000330
IPC Classification: H03L7/07; H03L7/081
EC Classification: [H03L7/081A](#), [H03L7/07](#)
Equivalents: ☐ [US2001035784](#)

Abstract

The digital phase control circuit of the present invention is provided with: voltage-controlled delay line VCDL1 in which differential buffers G1-G10 having a propagation delay time of 160 ps are concatenated in a plurality of stages; voltage-controlled delay line VCDL2 in which differential buffers H1-H8 having a propagation delay time of 200 ps are concatenated in a plurality of stages; selector S2 that extracts a clock signal from any stage of voltage-controlled delay line VCDL1 and outputs to the first stage of voltage-controlled delay line VCDL2; and selector S3 that extracts and outputs a clock signal from any stage of voltage-controlled delay line VCDL2. This digital phase control circuit 10 feedback-controls voltage-controlled delay line VCDL1 and voltage-controlled delay line VCDL2 by delay locked loops DLL1 and DLL2, controls the phases of clock signals with the difference 40 ps between 160 ps and 200 ps as the resolution; and therefore is a power-saving, compact, and high-resolution digital phase control circuit that suppresses increase in power consumption and increase in the area occupied by circuits to a minimum.



Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-285266
(P2001-285266A)

(43) 公開日 平成13年10月12日 (2001. 10. 12)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 4 L 7/02		H 0 3 K 5/13	5 B 0 7 9
G 0 6 F 1/06		H 0 3 L 7/00	D 5 J 0 0 1
H 0 3 K 5/13		H 0 4 L 7/02	Z 5 J 1 0 6
H 0 3 L 7/00		G 0 6 F 1/04	3 1 1 Z 5 K 0 4 7

審査請求 有 請求項の数 9 O L (全 26 頁)

(21) 出願番号 特願2000-95604 (P2000-95604)

(22) 出願日 平成12年3月30日 (2000. 3. 30)

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 渡会 誠一

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74) 代理人 100095740

弁理士 開口 宗昭

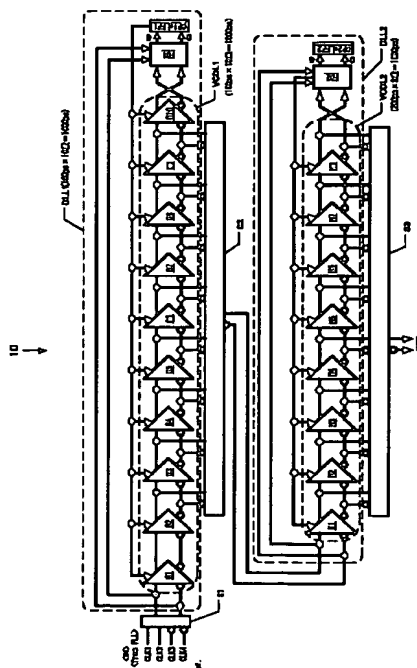
最終頁に続く

(54) 【発明の名称】 デジタル位相制御回路

(57) 【要約】

【課題】消費電力の増加及び回路専有面積の増加が最小限に抑えられた省電力・小面積型の高分解能デジタル位相制御回路を提供する。

【解決手段】伝搬遅延時間160psの遅延バッファG1～G10を接続した電圧制御遅延線VCDL1と、伝搬遅延時間200psの遅延バッファH1～H8を接続した電圧制御遅延線VCDL2と、電圧制御遅延線VCDL1の何れかの段からクロック信号を取り出し、電圧制御遅延線VCDL2の一段目に出力する選択回路S2と、電圧制御遅延線VCDL2の何れかの段からクロック信号を取り出して出力する選択回路S3と備えてデジタル位相制御回路10を構成し、電圧制御遅延線VCDL1及び第二の電圧制御遅延線VCDL2を、遅延ロックループDLL1、DLL2により帰還制御し、160psと200psとの差40psを分解能としてクロック信号の位相を制御した。



【特許請求の範囲】

【請求項 1】 入力された所定周波数のリファレンスクロック信号に対して、位相が所定の分解能で制御された 1 又は 2 以上のクロック信号を出力するデジタル位相制御回路において、それぞれ異なる伝搬遅延時間を有する遅延バッファを 2 種以上各種所定数備え、前記クロック信号を通過させる遅延バッファの種類ごとの数を変更することにより前記クロック信号の総合遅延時間を前記遅延バッファの伝搬遅延時間より微少な単位で変化させて前記クロック信号の位相を制御することを特徴とするデジタル位相制御回路。

【請求項 2】 第一種の伝搬遅延時間を有する遅延バッファを複数段接続してなり、リファレンスクロック信号が入力される第一の電圧制御遅延線と、第二種の伝搬遅延時間を有する遅延バッファを複数段接続してなる第二の電圧制御遅延線と、第一の電圧制御遅延線の何れかの段からクロック信号を取り出し、かかる取り出したクロック信号を第二の電圧制御遅延線の一段目に出力する選択回路と、第二の電圧制御遅延線の何れかの段からクロック信号を取り出して出力する選択回路とを備えることを特徴とする請求項 1 に記載のデジタル位相制御回路。

【請求項 3】 入力された所定周波数のリファレンスクロック信号に対して、位相が所定の分解能で制御された 1 又は 2 以上のクロック信号を出力するデジタル位相制御回路において、第一種の伝搬遅延時間を有する遅延バッファを複数段接続してなり、リファレンスクロック信号が入力される第一の電圧制御遅延線と、第二種の伝搬遅延時間を有する遅延バッファを複数段接続してなる第二の電圧制御遅延線と、第一の電圧制御遅延線の何れかの段からクロック信号を取り出し、かかる取り出したクロック信号を第二の電圧制御遅延線の一段目に出力する選択回路と、第二の電圧制御遅延線の何れかの段からクロック信号を取り出して出力する選択回路とを備え、第一の電圧制御遅延線及び第二の電圧制御遅延線が、遅延ロックループにより帰還制御され、第一種の伝搬遅延時間と第二種の伝搬遅延時間との時間差が、第一種の伝搬遅延時間及び第二種の伝搬遅延時間のいずれよりも小さく設定され、第一種の伝搬遅延時間と第二種の伝搬遅延時間との時間差を前記分解能としてクロック信号の位相を制御することを特徴とするデジタル位相制御回路。

【請求項 4】 第一種の伝搬遅延時間を有する遅延バッファを h 段接続してなり、リファレンスクロック信号が入力される第一の電圧制御遅延線と、第一の電圧制御遅延線の i 段の出力にそれぞれ接続し、第二種の伝搬遅延時間を有する遅延バッファを j 段接続してなる i 本の第二の電圧制御遅延線と、第二種の伝搬遅延時間を有する遅延バッファを k 段接続してなる第三の電圧制御遅延線と、第一の電圧制御遅延線及び第二の電圧制御遅延線の何れかの段からクロック信号を取り出し、かかる取り出したクロック信号を第三の電圧制御遅延線の一段目に出力する選択回路とを備えることを特徴とする請求項 1 に記載のデジタル位相制御回路。

力する選択回路とを備えることを特徴とする請求項 1 に記載のデジタル位相制御回路。

【請求項 5】 入力された所定周波数のリファレンスクロック信号に対して、位相が所定の分解能で制御された 1 又は 2 以上のクロック信号を出力するデジタル位相制御回路において、第一種の伝搬遅延時間を有する遅延バッファを h 段接続してなり、リファレンスクロック信号が入力される第一の電圧制御遅延線と、第一の電圧制御遅延線の i 段の出力にそれぞれ接続し、第二種の伝搬遅延時間を有する遅延バッファを j 段接続してなる i 本の第二の電圧制御遅延線と、第二種の伝搬遅延時間を有する遅延バッファを k 段接続してなる第三の電圧制御遅延線と、第一の電圧制御遅延線及び第二の電圧制御遅延線の何れかの段からクロック信号を取り出し、かかる取り出したクロック信号を第三の電圧制御遅延線の一段目に出力する選択回路とを備え、第一の電圧制御遅延線及び第三の電圧制御遅延線がそれぞれ遅延ロックループにより帰還制御され、各第二の電圧制御遅延線の各遅延バッファには、第三の電圧制御遅延線を帰還制御する遅延ロックループにより生成される分解能を維持するための遅延制御電圧又は電流が供給され、第一種の伝搬遅延時間と第二種の伝搬遅延時間との時間差が、第一種の伝搬遅延時間及び第二種の伝搬遅延時間のいずれよりも小さく設定され、第一種の伝搬遅延時間と第二種の伝搬遅延時間との時間差を前記分解能としてクロック信号の位相を制御することを特徴とするデジタル位相制御回路。

【請求項 6】 第二の電圧制御遅延線のうち少なくとも一の電圧制御遅延線が遅延ロックループにより帰還制御され、他の第二の電圧制御遅延線の各遅延バッファには、前記一の電圧制御遅延線を帰還制御する遅延ロックループにより生成される分解能を維持するための遅延制御電圧又は電流が供給されてクロック信号の位相を制御することを特徴とする請求項 5 に記載のデジタル位相制御回路。

【請求項 7】 第一種の伝搬遅延時間を有する遅延バッファを複数段接続してなり、リファレンスクロック信号が入力される第一の電圧制御遅延線と、第二種の伝搬遅延時間を有する遅延バッファを複数段接続してなる第二の電圧制御遅延線と、第二の電圧制御遅延線の入力側に接続し、伝搬遅延時間を第一種の伝搬遅延時間と第二種の伝搬遅延時間とに切換可能な可変遅延バッファを複数段接続してなるサイクリック遅延回路と、第一の電圧制御遅延線の何れかの段からクロック信号を取り出し、かかる取り出したクロック信号を前記サイクリック遅延回路の一段目に出力する選択回路とを備えることを特徴とする請求項 1 に記載のデジタル位相制御回路。

【請求項 8】 入力された所定周波数のリファレンスクロック信号に対して、位相が所定の分解能で制御された 1 又は 2 以上のクロック信号を出力するデジタル位相制御回路において、第一種の伝搬遅延時間を有する遅延バ

ッファを複数段接続してなり、リファレンスクロック信号が入力される第一の電圧制御遅延線と、第二種の伝搬遅延時間を有する遅延バッファを複数段接続してなる第二の電圧制御遅延線と、第二の電圧制御遅延線の入力側に接続し、可変遅延バッファを複数段接続してなるサイクリック遅延回路と、第一の電圧制御遅延線の何れかの段からクロック信号を取り出し、かかる取り出したクロック信号を前記サイクリック遅延回路の一段目に出力する選択回路とを備え、第一の電圧制御遅延線及び第二の電圧制御遅延線がそれぞれ遅延ロックループにより帰還制御され、第一の電圧制御遅延線の各遅延バッファは、第一の電圧制御遅延線を帰還制御する遅延ロックループにより生成される分解能を維持するための第一の遅延制御電圧又は電流と、第二の電圧制御遅延線を帰還制御する遅延ロックループにより生成される分解能を維持するための第二の遅延制御電圧又は電流とが供給され、前記サイクリック遅延回路の各可変遅延バッファは、第一の遅延制御電圧又は電流、及び第二の遅延制御電圧又は電流のうちいずれか一方が供給されるとともに、他方をも供給するか否かを切り換える切換回路が付設されてその伝搬遅延時間を第一種の伝搬遅延時間と第二種の伝搬遅延時間とに切換可能にされ、第一種の伝搬遅延時間と第二種の伝搬遅延時間との時間差が、第一種の伝搬遅延時間及び第二種の伝搬遅延時間のいずれよりも小さく設定され、第一種の伝搬遅延時間と第二種の伝搬遅延時間との時間差を前記分解能としてクロック信号の位相を制御することを特徴とするデジタル位相制御回路。

【請求項9】 前記分解能が、前記リファレンスクロック信号の周期の $1/n$ (n は整数)に設定された請求項1から請求項8のうちいずれかに記載のデジタル位相制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、所定の周波数を持つリファレンスクロック信号を入力し、前記リファレンスクロック信号に対し所定の遅延差（分解能）単位で位相を制御された少なくとも1つ以上のクロック信号を出力するデジタル位相制御回路に関するものである。

【0002】

【従来の技術】従来、所定の周波数を持つリファレンスクロック信号を入力し、前記リファレンスクロック信号に対し所定の遅延差（分解能）単位で位相を制御された少なくとも1つ以上のクロック信号を出力するデジタル位相制御回路は、例えば図4に示す従来の一例のデジタル位相制御回路100のように構成される。この従来例のデジタル位相制御回路100は、10段の差動バッファG1～G10で構成された電圧制御遅延線（Voltage Control Delay Line）VCDLを含む遅延ロックループ（Delay Locked Loop）DLLに、4つの入力端子を持つ入力用の選択回路（セレクタ：Selector）S1が

接続され、さらに、各差動バッファG1～G10の出力に出力用の選択回路S2が接続されて構成される。遅延ロックループDLLは、電圧制御遅延線VCDLと、位相比較器（Phase Detector）PDと、チャージポンプ（Charge Pump）CPと、ローパスフィルタ（Low Pass Filter）LPFとから構成される。以下にこの従来のデジタル位相制御回路の構成・動作につき数値を挙げて説明する。

【0003】選択回路S1の4つの入力端子INには、それぞれ325.5MHz（周期3200ps）のクロック信号CLK1～4（リファレンスクロック）が800psの位相差を持って、計4相供給される。すなわち、相対的に半周期の位相差（1600ps）を持つ2つのクロック信号CLK1、CLK3が1対の差動を成し、同様に相対的に半周期の位相差（1600ps）を持つ他の2つのクロック信号CLK2、CLK4が1対の差動を成す。このクロック信号CLK1～4は、例えば図示しないフェイズロックループ（Phase Locked Loop）で、4つのクロック信号CLK1～4の周波数とそれぞれの位相差（800ps）が同一になるように予め制御されて入力端子INに供給されるものである。

【0004】選択回路S1は複数の入力端子INから一対の差動を選択して取り出すものである。すなわち、選択回路S1は、差動クロック信号CLK1-3、CLK3-1、CLK2-4、CLK4-2の4通りうちから一対の差動クロック信号を選択して電圧制御遅延線VCDL及び位相比較器PDに出力する。差動クロック信号CLK1-3が選択された場合、2つの出力端子OUTの何れか一方にクロック信号CLK1が出力され、他方にクロック信号CLK3が出力される。差動クロック信号CLK3-1、CLK2-4又はCLK4-2が選択された場合も同様である。但し、差動クロック信号CLK1-3が選択された場合と、差動クロック信号CLK3-1が選択された場合とでは、クロック信号CLK1、CLK3が出力される出力端子OUTは逆となる。差動クロック信号CLK2-4と差動クロック信号CLK4-2との関係も同様である。

【0005】電圧制御遅延線VCDLに構成される10段の差動バッファG1～G10はそれぞれ160psの伝搬遅延時間を持ち、遅延ロックループDLLの帰還制御によって遅延時間が一定になるように制御されている。遅延ロックループDLLの帰還制御は次のように行われる。差動バッファG10からは、全バッファG1～G10の総合遅延を有するクロック信号が出力される。例えば、選択回路S1で差動クロック信号CLK1-3が選択された場合、位相比較器PDは、電圧制御遅延線VCDLを通過し全バッファG1～G10の総合遅延を有するクロック信号CLK1、CLK3を受けるとともに、電圧制御遅延線VCDLを介さず直接クロック信号CLK1、CLK3（リファレンスクロ

ク)を受ける。その上で、位相比較器P D 1は、総合遅延を有するクロック信号C L K 1と電圧制御遅延線V C D L 1通過前のクロック信号C L K 3(リファレンスクロック)とを位相比較し、また、総合遅延を有するクロック信号C L K 3と電圧制御遅延線V C D L 1通過前のクロック信号C L K 1(リファレンスクロック)とを位相比較し位相誤差を検出する。位相比較器P D 1は、総合遅延を有するクロック信号C L K 1(C L K 3)の位相が電圧制御遅延線V C D L 1通過前のクロック信号C L K 3(C L K 1)の位相より遅れていればUP信号を、進んでいればDOWN信号をチャージポンプC P 1に出力する。選択回路S 1で差動クロック信号C L K 3-1、C L K 2-4又はC L K 4-2が選択された場合も同様に動作する。チャージポンプC P 1+ロウパスフィルタL P F 1は、位相比較器P D 1からの信号により各バッファを160psの伝搬遅延時間を保つように制御信号を生成し各差動バッファG 1~G 10へ送り出す。このような帰還制御により、電圧制御遅延線V C D L 1内の10段のバッファの遅延時間が一定に保たれている。すなわち電圧制御遅延線V C D L 1は、160ps×10段=1600psの周期が常に補償される。

【0006】選択回路S 1、S 2の選択の組み合わせにより、出力端子O U Tからはリファレンスクロックに対し分解能160psを持つクロック信号が出力される。例えば、基準状態として選択回路S 2によって差動バッファG 5が選択されていると仮定する。この時の遅延ロックループD L L 1の出力遅延は選択回路S 1、S 2の遅延を無視すると、160ps×5段=800psの遅延時間になる。この基準状態に対し、選択回路S 2によって差動バッファG 6が選択されると、遅延は160ps×6段=960psになる。すなわち基準状態の総合遅延に対し、160psの分解能で遅延(位相)が遅れたことになる。さらにクロック信号の位相を遅れさせる場合は、選択回路S 2によって遅延ロックループD L L 1内の番号のより大きい差動バッファを選択することで実現できる。反対にクロック信号の位相を進めさせる場合は、選択回路S 2によって遅延ロックループD L L 1内の番号のより小さいバッファを選択することで実現できる。このように、従来例のデジタル位相制御回路100においては、遅延(位相)分解能は電圧制御遅延線V C D L 1内のバッファの伝搬遅延時間(160ps)と一致する。すなわち、分解能はバッファの伝搬遅延時間で決定される。

【0007】

【発明が解決しようとする課題】しかし以上の従来技術によっても以下のような問題があった。分解能はバッファの伝搬遅延時間で決定されるので、微小分解能を得るためには、差動バッファの伝搬遅延時間を小さくする(高速化する)必要がある。しかし、バッファの遅延時間には限界があり、現在では50ps以下の伝搬遅延時間を持つバッファを構成することは技術的に極めて困難で

ある。したがって、バッファの伝搬遅延時間より微小の分解能を得ることができないという問題がある。2.5Gbpsの高速データのクロックリカバリに必要な位相制御量は40~50ps程度であるため、データ通信の高速化が望まれる今日において、50ps以下の微小の分解能で位相を制御可能なデジタル位相制御回路を構成することは重要である。また、電圧制御遅延線V C D L 1内の全バッファの遅延の合計が、入力されているリファレンスクロックの半周期分の遅延(1600ps)に一致するように遅延ロックループD L L 1によって帰還制御しているため、分解能を小さくする分、バッファ数を多く挿入しなければならない。例えば、分解能を4分の1にするには、バッファ数を4倍にしなければならない。したがって、バッファの高速化のための回路電流の増加のみならず、バッファ数の追加による回路電流の追加によって消費電力が増加するとともに、バッファ数の追加によって回路占有面積が大きくなるという問題がある。

【0008】一方、特開平09-18304号、特開平09-18305号には、分解能を自由に設定し、製造、温度のばらつきを補償することを課題とする遅延回路が開示されている。これは、互いに異なる遅延時間を持つ複数のバスから1本を選択することで遅延時間を切り替えるバス切り替え方式の遅延回路についてのものである。この遅延回路によれば、第一の遅延時間補償部が制御する可変遅延ゲートの遅延時間と第二の遅延時間補償部が制御する可変遅延ゲートの遅延時間との時間差がつくる分解能は任意に設定できるとされている。また、遅延時間生成回路とバスが互いに近接して配置されているため、分解能のばらつきは同程度となるとされている。

【0009】しかし、このバス切り替え方式の遅延回路では、分解能を上げるために、セレクトの段数と、各段のバッファ数を増やさなければならない点で問題である。したがって、このバス切り替え方式の遅延回路では、消費電力の増加とバッファ数の追加による回路占有面積の増大という問題を解決することはできない。特に、セレクト数の増加は、セレクト切換の際、それぞれの切換タイミングがずれることによる弊害を防止する必要性が生じる点でも問題となる。また、このバス切り替え方式の遅延回路では、遅延時間を制御する第一及び第二の遅延時間補償部は、遅延ロックループにより帰還制御されて分解能が補償されているものの、実際にクロック信号を遅延させる遅延処理部(遅延時間生成回路)は、遅延ロックループにより帰還制御されず、第一及び第二の遅延時間補償部から遅延制御信号を受けているのみである。したがって、遅延時間補償部と遅延処理部とが離れて、遅延制御信号を伝搬する帰還系が長くなると、制御信号の電圧低下等によりバッファの位置によって分解能(遅延時間)のバラツキが生じるという問題がある。さらに、このバス切り替え方式の遅延回路では、分解能を変更す

るためには、セレクタの他に、位相比較のためのクロック周波数を変更しなければならない。具体的には、特開平9-18304においてはPLL、特開平9-18305においてはシンセサイザにより基準クロックの周波数を変更する。すなわち、このバス切り替え方式の遅延回路は、アナログ回路であり、同じ回路内に2つの異なる周波数クロックを生じることとなり、悪質な共振等の発生が懸念されるとともに、一定の周波数の機器に適用することができないという問題がある。

【0010】本発明は以上の従来技術における問題に鑑みてなされたものであって、入力された所定周波数のリファレンスクロック信号に対して、位相が所定の分解能で制御された1又は2以上のクロック信号を出力するデジタル位相制御回路において、バッファの伝搬遅延時間より微少の分解能を得ることができ、消費電力の増加及び回路専有面積の増加が最小限に抑えられた省電力・小面積型の高分解能デジタル位相制御回路を提供することを課題とする。また、選択回路（セレクタ）の数が最小限に抑えられ、複数の選択回路の切換タイミングがずれることによる弊害を低減することのできるデジタル位相制御回路を提供することを課題とする。さらに、一定の周波数の下で動作して信頼性が良く、バラツキのない精度の良い分解能（遅延時間）でクロック信号を連続的に制御することのできるデジタル位相制御回路を提供することを課題とする。

【0011】

【課題を解決するための手段】前記課題を解決する本出願第1の発明は、入力された所定周波数のリファレンスクロック信号に対して、位相が所定の分解能で制御された1又は2以上のクロック信号を出力するデジタル位相制御回路において、それぞれ異なる伝搬遅延時間を有する遅延バッファを2種以上各種所定数備え、前記クロック信号を通過させる遅延バッファの種類ごとの数を変更することにより前記クロック信号の総合遅延時間を前記遅延バッファの伝搬遅延時間より微少な単位で変化させて前記クロック信号の位相を制御することの特徴とするデジタル位相制御回路である。

【0012】ここで、遅延バッファの種類が異なるといえば、その伝搬遅延時間が異なることを意味する。クロック信号を通過させる遅延バッファの種類ごとの数に

は、0が含まれる場合があるとする。

【0013】したがって本出願第1の発明のデジタル位相制御回路によれば、それぞれ異なる伝搬遅延時間を有する遅延バッファを2種以上各種所定数備え、前記クロック信号を通過させる遅延バッファの種類ごとの数を変更することにより前記クロック信号の総合遅延時間を前記遅延バッファの伝搬遅延時間より微少な単位で変化させて前記クロック信号の位相を制御するので、分解能が遅延バッファの遅延時間よりも小さくなるという利点がある。これにより、遅延バッファの限界の微少遅延時間

よりさらに小さい分解能を得ることができるという利点がある。また、分解能を小さくするために遅延バッファの遅延時間を小さくする（高速化する）必要はないので、分解能を小さくするために遅延バッファの数が増加してしまうという不利益はない。その結果として、遅延バッファの高速化に伴う消費電力の増加及び遅延バッファの数の増加に伴う消費電力の増加がともに防がれ、かつ、遅延バッファの数の増加に伴う回路専有面積の増加が防がれ、省電力・小面積型の高分解能デジタル位相制御回路を得ることができるという利点がある。また、分解能を小さくするために遅延バッファの遅延時間を小さくする（高速化する）必要がないので、高速化のために高度な設計や高性能プロセスが必要とならない。そのため、設計負担、プロセス負担を増大させることなく高分解能デジタル位相制御回路を構成することができるという利点がある。また、一定の周波数の下で動作して信頼性が良く、バラツキのない精度の良い分解能（遅延時間）でクロック信号を連続的に制御することが可能であるという利点がある。

【0014】また本出願第2の発明は、本出願第1の発明のデジタル位相制御回路において、第一種の伝搬遅延時間を有する遅延バッファを複数段接続してなり、リファレンスクロック信号が入力される第一の電圧制御遅延線と、第二種の伝搬遅延時間を有する遅延バッファを複数段接続してなる第二の電圧制御遅延線と、第一の電圧制御遅延線の何れかの段からクロック信号を取り出し、かかる取り出したクロック信号を第二の電圧制御遅延線の一段目に出力する選択回路と、第二の電圧制御遅延線の何れかの段からクロック信号を取り出して出力する選択回路とを備えることを特徴とする。

【0015】また本出願第3の発明は、入力された所定周波数のリファレンスクロック信号に対して、位相が所定の分解能で制御された1又は2以上のクロック信号を出力するデジタル位相制御回路において、第一種の伝搬遅延時間を有する遅延バッファを複数段接続してなり、リファレンスクロック信号が入力される第一の電圧制御遅延線と、第二種の伝搬遅延時間を有する遅延バッファを複数段接続してなる第二の電圧制御遅延線と、第一の電圧制御遅延線の何れかの段からクロック信号を取り出し、かかる取り出したクロック信号を第二の電圧制御遅延線の一段目に出力する選択回路と、第二の電圧制御遅延線の何れかの段からクロック信号を取り出して出力する選択回路とを備え、第一の電圧制御遅延線及び第二の電圧制御遅延線が、遅延ロックスループにより帰還制御され、第一種の伝搬遅延時間と第二種の伝搬遅延時間との時間差が、第一種の伝搬遅延時間及び第二種の伝搬遅延時間のいずれよりも小さく設定され、第一種の伝搬遅延時間と第二種の伝搬遅延時間との時間差を前記分解能としてクロック信号の位相を制御することの特徴とするデジタル位相制御回路である。

【0016】したがって本出願第3の発明のデジタル位相制御回路によれば、第一種の伝搬遅延時間と第二種の伝搬遅延時間との時間差が、第一種の伝搬遅延時間及び第二種の伝搬遅延時間のいずれよりも小さく設定され、第一種の伝搬遅延時間と第二種の伝搬遅延時間との時間差を前記分解能としてクロック信号の位相を制御するので、分解能が遅延バッファの遅延時間よりも小さくなるという利点がある。これにより、遅延バッファの限界の微小遅延時間よりさらに小さい分解能を得ることができるという利点がある。また、分解能を小さくするために遅延バッファの遅延時間を小さくする（高速化する）必要はないので、分解能を小さくするために遅延バッファの数が増加してしまうという不利益はない。その結果として、遅延バッファの高速化に伴う消費電力の増加及び遅延バッファの数の増加に伴う消費電力の増加がともに防がれ、かつ、遅延バッファの数の増加に伴う回路専有面積の増加が防がれ、省電力・小面積型の高分解能デジタル位相制御回路を得ることができるという利点がある。また、分解能を小さくするために遅延バッファの遅延時間を小さくする（高速化する）必要がないので、高速化のために高度な設計や高性能プロセスが必要とならない。そのため、設計負担、プロセス負担を増大させることなく高分解能デジタル位相制御回路を構成することができるという利点がある。さらに、選択回路（セレクタ）の数が最小限に抑えられ、複数の選択回路の切換タイミングがずれることによる弊害を低減することができるという利点がある。また、一定の周波数の下で動作して信頼性が良く、バラツキのない精度の良い分解能（遅延時間）でクロック信号を連続的に制御することが可能であるという利点がある。

【0017】また本出願第4の発明は、本出願第1の発明のデジタル位相制御回路において、第一種の伝搬遅延時間を有する遅延バッファをh段接続してなり、リファレンスクロック信号が入力される第一の電圧制御遅延線と、第一の電圧制御遅延線のi段の出力にそれぞれ接続し、第二種の伝搬遅延時間を有する遅延バッファをj段接続してなるi本の第二の電圧制御遅延線と、第二種の伝搬遅延時間を有する遅延バッファをk段接続してなる第三の電圧制御遅延線と、第一の電圧制御遅延線及び第二の電圧制御遅延線の何れかの段からクロック信号を取り出し、かかる取り出したクロック信号を第三の電圧制御遅延線の一段目に出力する選択回路とを備えることを特徴とする。

【0018】また本出願第5の発明は、入力された所定周波数のリファレンスクロック信号に対して、位相が所定の分解能で制御された1又は2以上のクロック信号を出力するデジタル位相制御回路において、第一種の伝搬遅延時間を有する遅延バッファをh段接続してなり、リファレンスクロック信号が入力される第一の電圧制御遅延線と、第一の電圧制御遅延線のi段の出力にそれぞれ

接続し、第二種の伝搬遅延時間を有する遅延バッファをj段接続してなるi本の第二の電圧制御遅延線と、第二種の伝搬遅延時間を有する遅延バッファをk段接続してなる第三の電圧制御遅延線と、第一の電圧制御遅延線及び第二の電圧制御遅延線の何れかの段からクロック信号を取り出し、かかる取り出したクロック信号を第三の電圧制御遅延線の一段目に出力する選択回路とを備え、第一の電圧制御遅延線及び第三の電圧制御遅延線がそれぞれ遅延ロックスループにより帰還制御され、各第二の電圧制御遅延線の各遅延バッファには、第三の電圧制御遅延線を帰還制御する遅延ロックスループにより生成される分解能を維持するための遅延制御電圧又は電流が供給され、第一種の伝搬遅延時間と第二種の伝搬遅延時間との時間差が、第一種の伝搬遅延時間及び第二種の伝搬遅延時間のいずれよりも小さく設定され、第一種の伝搬遅延時間と第二種の伝搬遅延時間との時間差を前記分解能としてクロック信号の位相を制御することを特徴とするデジタル位相制御回路である。但し、h、i、j、kは自然数であり、h、iについては $h \geq (i - 1)$ の関係を持する。

【0019】したがって本出願第5の発明のデジタル位相制御回路によれば、第一種の伝搬遅延時間と第二種の伝搬遅延時間との時間差が、第一種の伝搬遅延時間及び第二種の伝搬遅延時間のいずれよりも小さく設定され、第一種の伝搬遅延時間と第二種の伝搬遅延時間との時間差を前記分解能としてクロック信号の位相を制御するので、分解能が遅延バッファの遅延時間よりも小さくなるという利点がある。これにより、遅延バッファの限界の微小遅延時間より小さい分解能を得ることができるという利点がある。また、分解能を小さくするために遅延バッファの遅延時間を小さくする（高速化する）必要はないので、分解能を小さくするために遅延バッファの数が増加してしまうという不利益はない。その結果として、遅延バッファの高速化に伴う消費電力の増加及び遅延バッファの数の増加に伴う消費電力の増加がともに防がれ、かつ、遅延バッファの数の増加に伴う回路専有面積の増加が防がれ、省電力・小面積型の高分解能デジタル位相制御回路を得ることができるという利点がある。また、分解能を小さくするために遅延バッファの遅延時間を小さくする（高速化する）必要がないので、高速化のために高度な設計や高性能プロセスが必要とならない。そのため、設計負担、プロセス負担を増大させることなく高分解能デジタル位相制御回路を構成することができるという利点がある。また、選択回路（セレクタ）の数が1つなので、複数の選択回路の切換タイミングがずれることによる弊害が生じないという利点がある。さらに、一定の周波数の下で動作して信頼性が良く、バラツキのない精度の良い分解能（遅延時間）でクロック信号を連続的に制御することが可能であるという利点がある。特に、本出願第5の発明のデジタル位相制御回路に

よれば、第一の電圧制御遅延線及び第三の電圧制御遅延線がそれぞれ遅延ロックループにより帰還制御され、各第二の電圧制御遅延線の各遅延バッファには、第三の電圧制御遅延線を帰還制御する遅延ロックループにより生成される分解能を維持するための遅延制御電圧又は電流が供給されるので、遅延バッファの位置によるその伝搬遅延時間のバラツキが抑えられ、分解能の精度が向上するという利点がある。

【0020】また本出願第6の発明は、本出願第5の発明のデジタル位相制御回路において、第二の電圧制御遅延線のうち少なくとも一の電圧制御遅延線が遅延ロックループにより帰還制御され、他の第二の電圧制御遅延線の各遅延バッファには、前記一の電圧制御遅延線を帰還制御する遅延ロックループにより生成される分解能を維持するための遅延制御電圧又は電流が供給されてクロック信号の位相を制御することを特徴とする。

【0021】したがって本出願第6の発明のデジタル位相制御回路によれば、本出願第5の発明の利点があるとともに、電圧制御遅延線を構成する遅延バッファの伝搬遅延時間を一定に保持し、遅延バッファの位置によるその伝搬遅延時間のバラツキがさらに抑えられ、分解能の精度がさらに向上するという利点がある。

【0022】また本出願第7の発明は、本出願第1の発明のデジタル位相制御回路において、第一種の伝搬遅延時間を有する遅延バッファを複数段接続してなり、リファレンスクロック信号が入力される第一の電圧制御遅延線と、第二種の伝搬遅延時間を有する遅延バッファを複数段接続してなる第二の電圧制御遅延線と、第二の電圧制御遅延線の入力側に接続し、伝搬遅延時間を第一種の伝搬遅延時間と第二種の伝搬遅延時間とに切換可能な可変遅延バッファを複数段接続してなるサイクリック遅延回路と、第一の電圧制御遅延線の何れかの段からクロック信号を取り出し、かかる取り出したクロック信号を前記サイクリック遅延回路の一段目に出力する選択回路とを備えることを特徴とする。

【0023】また本出願第8の発明は、入力された所定周波数のリファレンスクロック信号に対して、位相が所定の分解能で制御された1又は2以上のクロック信号を出力するデジタル位相制御回路において、第一種の伝搬遅延時間を有する遅延バッファを複数段接続してなり、リファレンスクロック信号が入力される第一の電圧制御遅延線と、第二種の伝搬遅延時間を有する遅延バッファを複数段接続してなる第二の電圧制御遅延線と、第二の電圧制御遅延線の入力側に接続し、可変遅延バッファを複数段接続してなるサイクリック遅延回路と、第一の電圧制御遅延線の何れかの段からクロック信号を取り出し、かかる取り出したクロック信号を前記サイクリック遅延回路の一段目に出力する選択回路とを備え、第一の電圧制御遅延線及び第二の電圧制御遅延線がそれぞれ遅延ロックループにより帰還制御され、第一の電圧制御遅

延線の各遅延バッファは、第一の電圧制御遅延線を帰還制御する遅延ロックループにより生成される分解能を維持するための第一の遅延制御電圧又は電流と、第二の電圧制御遅延線を帰還制御する遅延ロックループにより生成される分解能を維持するための第二の遅延制御電圧又は電流とが供給され、前記サイクリック遅延回路の各可変遅延バッファは、第一の遅延制御電圧又は電流、及び第二の遅延制御電圧又は電流のうちいずれか一方が供給されるとともに、他方をも供給するか否かを切り換える切換回路が付設されてその伝搬遅延時間を第一種の伝搬遅延時間と第二種の伝搬遅延時間とに切換可能にされ、第一種の伝搬遅延時間と第二種の伝搬遅延時間との時間差が、第一種の伝搬遅延時間及び第二種の伝搬遅延時間のいずれよりも小さく設定され、第一種の伝搬遅延時間と第二種の伝搬遅延時間との時間差を前記分解能としてクロック信号の位相を制御することを特徴とするデジタル位相制御回路である。

【0024】したがって本出願第8の発明のデジタル位相制御回路によれば、第一種の伝搬遅延時間と第二種の伝搬遅延時間との時間差が、第一種の伝搬遅延時間及び第二種の伝搬遅延時間のいずれよりも小さく設定され、第一種の伝搬遅延時間と第二種の伝搬遅延時間との時間差を前記分解能としてクロック信号の位相を制御するので、分解能が遅延バッファの遅延時間よりも小さくなるという利点がある。これにより、遅延バッファの限界の微小遅延時間より小さい分解能を得ることができるという利点がある。また、分解能を小さくするために遅延バッファの遅延時間を小さくする（高速化する）必要はないので、分解能を小さくするために遅延バッファの数が増加してしまうという不利益はない。その結果として、遅延バッファの高速化に伴う消費電力の増加及び遅延バッファの数の増加に伴う消費電力の増加がともに防がれ、かつ、遅延バッファの数の増加に伴う回路専有面積の増加が防がれ、省電力・小面積型の高分解能デジタル位相制御回路を得ることができるという利点がある。また、分解能を小さくするために遅延バッファの遅延時間を小さくする（高速化する）必要がないので、高速化のために高度な設計や高性能プロセスが必要とならない。そのため、設計負担、プロセス負担を増大させることなく高分解能デジタル位相制御回路を構成することができるという利点がある。さらに、一定の周波数の下で動作して信頼性が良く、バラツキのない精度の良い分解能（遅延時間）でクロック信号を連続的に制御することが可能であるという利点がある。特に、本出願第8の発明のデジタル位相制御回路によれば、前記サイクリック遅延回路の各可変遅延バッファは、第一の遅延制御電圧又は電流、及び第二の遅延制御電圧又は電流のうちいずれか一方が供給されるとともに、選択的に他方が供給されるので、遅延バッファの位置によるその伝搬遅延時間のバラツキが抑えられ、分解能の精度が向上するという利

点がある。また、伝搬遅延時間を第一種の伝搬遅延時間と第二種の伝搬遅延時間とに切換可能にされた可変遅延バッファを採用したことにより、バッファ数及びセレクタ数の少ない高分解能デジタル位相制御回路を構成することができるという利点がある。選択回路（セレクタ）の数が1つなので、複数の選択回路の切換タイミングがずれることによる弊害が生じないという利点がある。

【0025】また本出願第9の発明は、前記分解能が、前記リファレンスクロック信号の周期の $1/n$ (n は整数)に設定された本出願第1の発明から本出願第8の発明のうちいずれか一の発明のデジタル位相制御回路である。

【0026】

【発明の実施の形態】以下に本発明の一実施の形態のデジタル位相制御回路につき図面を参照して説明する。以下は本発明の一実施形態であって本発明を限定するものではない。

【0027】実施の形態1

まず、本発明の実施の形態1のデジタル位相制御回路10につき、図1を参照して説明する。図1は本発明の実施の形態1のデジタル位相制御回路10を示す回路図である。なお、実施の形態1は、分解能が、リファレンスクロック信号の周期の $1/80$ に設定された例である。

【0028】実施の形態1のデジタル位相制御回路10は、入力された所定周波数のリファレンスクロック信号に対して、位相が所定の分解能で制御された1又は2以上のクロック信号を出力するデジタル位相制御回路において、第一種の伝搬遅延時間（160ps）を有する遅延バッファ（G1～G10）を複数段（10段）接続してなり、リファレンスクロック信号が入力される第一の電圧制御遅延線（VCDL1）と、第二種の伝搬遅延時間（200ps）を有する遅延バッファ（H1～H8）を複数段（8段）接続してなる第二の電圧制御遅延線（VCDL2）と、第一の電圧制御遅延線（VCDL1）の何れかの段からクロック信号を取り出し、かかる取り出した選択したクロック信号を第二の電圧制御遅延線（VCDL2）の一段目に出力する選択回路（S2）と、第二の電圧制御遅延線（VCDL2）の何れかの段からクロック信号を取り出して出力する選択回路（S3）とを備え、第一の電圧制御遅延線（VCDL1）及び第二の電圧制御遅延線（VCDL2）が、遅延ロックループ（DLL1、DLL2）により帰還制御され、第一種の伝搬遅延時間（160ps）と第二種の伝搬遅延時間（200ps）との時間差（40ps）が、第一種の伝搬遅延時間（160ps）及び第二種の伝搬遅延時間（200ps）のいずれよりも小さく設定され、第一種の伝搬遅延時間（160ps）と第二種の伝搬遅延時間（200ps）との時間差（40ps）を前記分解能として前記クロック信号の位相を制御することを特徴とするデジタル位相制御回路の一実施形態である。

【0029】図1に示すように、実施の形態1のデジタル位相制御回路10は、従来例のデジタル位相制御回路

100と同様に、それぞれ160psの伝搬遅延時間を持つ10段の差動バッファG1～G10で構成された電圧制御遅延線（Voltage Control Delay Line）VCDL1を含む遅延ロックループ（Delay Locked Loop）DLL1に、4つの入力端子を持つ入力用の選択回路（セレクタ：Selector）S1が接続され、さらに、各差動バッファG1～G10の出力に選択回路S2が接続されて構成される。しかし、実施の形態1のデジタル位相制御回路10は、従来例のデジタル位相制御回路100と異なり、それぞれ200psの伝搬遅延時間を持つ8段の差動バッファH1～H8で構成された電圧制御遅延線VCDL2を含む遅延ロックループDLL2が、選択回路S2の出力に接続され、さらに、電圧制御遅延線VCDL2の各差動バッファH1～H8の出力に出力用の選択回路S3が接続されて構成される。

【0030】遅延ロックループDLL1は、電圧制御遅延線VCDL1と、位相比較器（Phase Detector）PD1と、チャージポンプ（Charge Pump）CP1と、ローパスフィルタ（Low Pass Filter）LPF1とから構成される。遅延ロックループDLL2は、電圧制御遅延線VCDL2と、位相比較器（Phase Detector）PD2と、チャージポンプ（Charge Pump）CP2と、ローパスフィルタ（Low Pass Filter）LPF2とから構成される。以下に実施の形態1のデジタル位相制御回路10の動作につき数値を挙げて説明する。

【0031】従来例のデジタル位相制御回路100と同様に、選択回路S1の4つの入力端子INには、それぞれ325.5MHz（周期3200ps）のクロック信号CLK1～4（リファレンスクロック）が800psの位相差を持って、計4相供給される。このクロック信号CLK1～4は、例えば図示しないフェイズロックループ（Phase Locked Loop）で、4つのクロック信号CLK1～4の周波数とそれぞれの位相差（800ps）が同一になるように予め制御されて入力端子INに供給されるものである。選択回路S1は複数の入力端子INからある一対の差動を選択して取り出すものである。すなわち、選択回路S1は、差動クロック信号CLK1-3、CLK3-1、CLK2-4、CLK4-2の4通りうちから一対の差動クロック信号を選択して電圧制御遅延線VCDL1及び位相比較器PD1に出力する。

【0032】電圧制御遅延線VCDL1に構成される10段の差動バッファG1～G10はそれぞれ160psの伝搬遅延時間を持ち、遅延ロックループDLL1の帰還制御によって遅延時間が一定になるように制御されている。すなわち電圧制御遅延線VCDL1は、 $160\text{ps} \times 10\text{段} = 1600\text{ps}$ の周期が常に補償される。電圧制御遅延線VCDL2に構成される8段の差動バッファH1～H8はそれぞれ200psの伝搬遅延時間を持ち、遅延ロックループDLL2の帰還制御によって遅延時間が一定になるように制御されている。すなわち電圧制御遅延線VCD

L2は、 $200\text{ps} \times 8\text{段} = 1600\text{ps}$ の周期が常に補償される。

【0033】3つの選択回路S1、S2、S3の選択の組み合わせにより、出力端子OUTからはリファレンスクロックに対し分解能40psを持つクロック信号が出力される。3つの選択回路S1、S2、S3はそれぞれ複数の入力端子からある1対の差動信号を選択して取り出すための回路である。例えば、基準状態として、電圧制御遅延線VCDL1では差動バッファG5が選択回路S2によって選択され、電圧制御遅延線VCDL2では差動バッファH4が選択回路S3によって選択されていると仮定する。この時の電圧制御遅延線VCDL1における遅延は、 $160\text{ps} \times 5\text{段} = 800\text{ps}$ 、電圧制御遅延線VCDL2における遅延は、 $200\text{ps} \times 4\text{段} = 800\text{ps}$ であるから、3つの選択回路S1、S2、S3の遅延を無視すると、総合では1600psの遅延時間になる。この基準状態に対し、電圧制御遅延線VCDL1では差動バッファ4が選択回路S2によって選択され、電圧制御遅延線VCDL2では差動バッファ5が選択回路S3によって選択されると、電圧制御遅延線VCDL1における遅延は、 $160\text{ps} \times 4 = 640\text{ps}$ 、電圧制御遅延線VCDL2における遅延は、 $200\text{ps} \times 5 = 1000\text{ps}$ となる。したがって、3つの選択回路S1、S2、S3の遅延を無視すると、総合では1640psの遅延時間になる。すなわち基準状態の総合遅

延に対し、40psの分解能で遅延（位相）が遅れたことになる。さらにクロック信号の位相を遅れさせる場合は、電圧制御遅延線VCDL1では選択回路S2によって番号のより小さい差動バッファを選択し、電圧制御遅延線VCDL2では選択回路S3によって番号のより大きい差動バッファを選択することで容易に実現できる。また、反対にクロック信号の位相を進めさせる場合は、電圧制御遅延線VCDL1では選択回路S2によって番号のより大きい差動バッファを選択し、電圧制御遅延線VCDL2では選択回路S3によって番号のより小さい差動バッファを選択することで容易に実現できる。

【0034】さらに実施の形態1のデジタル位相制御回路10の動作につき図1及び表1を参照して説明する。表1は、実施の形態1のデジタル位相制御回路10を用いて位相を遅らせる場合の選択回路S1、S2、S3の各選択状態と各部の遅延時間と総合遅延時間とを示す表である。これは、40psの分解能で、リファレンスクロックの周期（3200ps）を均等に80等分しクロック信号の位相が制御されることを表している。すなわち、リファレンスクロックの周期に対し、出力される信号のクロック位相が均一でかつ連続的に一定の分解能で追従できることを表している。

【表1】

	<111>	<112>	<113>	<114>	<121>	<122>	<123>	<124>	<131>	<132>	<133>	<134>	<141>	<142>	<143>	<144>	<151>	<152>	<153>	<154>
S1 CLK No.	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
S2 buffer No.(G)	5	4	3	2	6	5	4	3	7	6	5	4	8	7	6	5	9	8	7	6
S3 buffer No.(H)	1	2	3	4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
S1 out delay	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
VCDL1 delay	800	940	480	320	960	800	640	480	1120	960	800	640	1360	1120	960	800	1440	1200	1120	960
VCDL2 delay	200	400	600	800	200	400	600	800	1200	400	600	800	1200	400	600	800	200	400	600	800
Delay Line Total Trd.(ps)	1000	1340	1080	1120	1160	1200	1240	1280	1320	1360	1400	1440	1480	1520	1560	1600	1640	1680	1720	1760
Delay Line d. (ps)	0	40	40	40	40	40	40	40	40	40	40	40	40	40	40	40	40	40	40	40

	<211>	<212>	<213>	<214>	<221>	<222>	<223>	<224>	<231>	<232>	<233>	<234>	<241>	<242>	<243>	<244>	<251>	<252>	<253>	<254>
S1 CLK No.	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
S2 buffer No.(G)	5	4	3	2	6	5	4	3	7	6	5	4	8	7	6	5	9	8	7	6
S3 buffer No.(H)	5	4	3	2	6	5	4	3	7	6	5	4	8	7	6	5	9	8	7	6
S1 out delay	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
VCDL1 delay	800	940	480	320	960	800	640	480	1120	960	800	640	1360	1120	960	800	1440	1200	1120	960
VCDL2 delay	1000	1200	1400	1600	1000	1200	1400	1600	1000	1200	1400	1600	1000	1200	1400	1600	1000	1200	1400	1600
Delay Line Total Trd.(ps)	1800	1840	1880	1920	1860	1900	1940	1980	1920	1960	2000	2040	1980	2020	2060	2100	2040	2080	2120	2160
Delay Line d. (ps)	40	40	40	40	40	40	40	40	40	40	40	40	40	40	40	40	40	40	40	40

	<311>	<312>	<313>	<314>	<321>	<322>	<323>	<324>	<331>	<332>	<333>	<334>	<341>	<342>	<343>	<344>	<351>	<352>	<353>	<354>
S1 CLK No.	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3
S2 buffer No.(G)	5	4	3	2	6	5	4	3	7	6	5	4	8	7	6	5	9	8	7	6
S3 buffer No.(H)	1	2	3	4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
S1 out delay	1000	1000	1000	1000	1000	1000	1000	1000	1000	1000	1000	1000	1000	1000	1000	1000	1000	1000	1000	1000
VCDL1 delay	800	940	480	320	960	800	640	480	1120	960	800	640	1360	1120	960	800	1440	1200	1120	960
VCDL2 delay	200	400	600	800	200	400	600	800	200	400	600	800	200	400	600	800	200	400	600	800
Delay Line Total Trd.(ps)	2000	2040	2080	2120	2040	2080	2120	2160	2080	2120	2160	2200	2120	2160	2200	2240	2160	2200	2240	2280
Delay Line d. (ps)	40	40	40	40	40	40	40	40	40	40	40	40	40	40	40	40	40	40	40	40

	<411>	<412>	<413>	<414>	<421>	<422>	<423>	<424>	<431>	<432>	<433>	<434>	<441>	<442>	<443>	<444>	<451>	<452>	<453>	<454>
S1 CLK No.	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3
S2 buffer No.(G)	5	4	3	2	6	5	4	3	7	6	5	4	8	7	6	5	9	8	7	6
S3 buffer No.(H)	5	6	7	8	5	6	7	8	5	6	7	8	5	6	7	8	5	6	7	8
S1 out delay	1600	1800	1600	1600	1600	1600	1600	1600	1600	1600	1600	1600	1600	1600	1600	1600	1600	1600	1600	1600
VCDL1 delay	800	940	480	320	960	800	640	480	1120	960	800	640	1360	1120	960	800	1440	1200	1120	960
VCDL2 delay	1000	1200	1400	1600	1000	1200	1400	1600	1000	1200	1400	1600	1000	1200	1400	1600	1000	1200	1400	1600
Delay Line Total Trd.(ps)	3400	3440	3480	3520	3500	3540	3580	3620	3540	3580	3620	3660	3580	3620	3660	3700	3620	3660	3700	3740
Delay Line d. (ps)	40	40	40	40	40	40	40	40	40	40	40	40	40	40	40	40	40	40	40	40

【0035】表1に示すように、状態〈111〉においては、選択回路S1によって差動クロック信号CLK1-3が選択されており、選択回路S2によって電圧制御遅延線VCDL1の差動バッファG5の出力が選択されており、選択回路S3によって電圧制御遅延線VCDL2の差動バッファH1の出力が選択されている。したがって、状態〈111〉においては、選択回路S1から出力される差動クロック信号CLK1-3の遅延は0psであり、電圧制御遅延線VCDL1における遅延は800psであり、電圧制御遅延線VCDL2における遅延は20

0psのである。その結果、総合遅延が1000psとなっている。

【0036】状態〈112〉においては、選択回路S1によって差動クロック信号CLK1-3が選択されており、選択回路S2によって電圧制御遅延線VCDL1の差動バッファG4の出力が選択されており、選択回路S3によって電圧制御遅延線VCDL2の差動バッファH2の出力が選択されている。したがって、状態〈112〉においては、選択回路S1から出力される差動クロック信号CLK1-3の遅延は0psであり、電圧制御遅

延線VCDL1における遅延は640psであり、電圧制御遅延線VCDL2における遅延は400psのである。その結果、総合遅延が1040psとなって、状態〈111〉に対し40ps位相が遅延している。したがって、状態〈111〉のときに、出力されるクロック信号の位相が所望の位相に対して40ps進んでいれば、状態〈112〉に切り換えることにより所望の位相のクロック信号を出力端子OUTから出力することができる。

【0037】同様にしてさらに位相を遅らせる場合は、表1に示すように、状態〈113〉→〈114〉→〈121〉→...→〈124〉→〈131〉→...→〈134〉→〈141〉→...→〈144〉→〈151〉→...→〈154〉→〈211〉→...→〈214〉→〈221〉→...→〈224〉→〈231〉→...→〈234〉→〈241〉→...→〈244〉→〈251〉→...→〈254〉と、選択回路S2、S3の選択を切り換えることにより、40psの分解能でクロック信号を連続的に制御することができる。さらに、状態〈254〉に対し、状態〈311〉に切り換えると、位相を40ps遅らせることができる。

【0038】表1に示すように、状態〈311〉においては、選択回路S1によって差動クロック信号CLK3-1が選択されており、選択回路S2によって電圧制御遅延線VCDL1の差動バッファG5の出力が選択されており、選択回路S3によって電圧制御遅延線VCDL2の差動バッファH1の出力が選択されている。したがって、状態〈311〉においては、選択回路S1から出力される差動クロック信号CLK3-1の遅延は1600psであり、電圧制御遅延線VCDL1における遅延は800psであり、電圧制御遅延線VCDL2における遅延は200psである。その結果、総合遅延が2600psとなっている。

【0039】状態〈312〉においては、選択回路S1

によって差動クロック信号CLK3-1が選択されており、選択回路S2によって電圧制御遅延線VCDL1の差動バッファG4の出力が選択されており、選択回路S3によって電圧制御遅延線VCDL2の差動バッファH2の出力が選択されている。したがって、状態〈312〉においては、選択回路S1から出力される差動クロック信号CLK3-1の遅延は1600psであり、電圧制御遅延線VCDL1における遅延は640psであり、電圧制御遅延線VCDL2における遅延は400psである。その結果、総合遅延が2640psとなって、状態〈311〉に対し40ps位相が遅延している。

【0040】同様にしてさらに位相を遅らせる場合は、表1に示すように、状態〈313〉→〈314〉→〈321〉→...→〈324〉→〈331〉→...→〈334〉→〈341〉→...→〈344〉→〈351〉→...→〈354〉→〈411〉→...→〈414〉→〈421〉→...→〈424〉→〈431〉→...→〈434〉→〈441〉→...→〈444〉→〈451〉→...→〈454〉と、選択回路S2、S3の選択を切り換えることにより、40psの分解能でクロック信号を連続的に制御することができる。さらに、状態〈454〉の次は、状態〈111〉に切り換えることにより連続的に40psの分解能でクロック信号を制御することができる。

【0041】状態〈111〉～〈454〉を上記の順番とは逆順に切り換えれば、40psの分解能でクロック信号の位相を進めさせることができる。また、表2に示すように動作させても良い。表2に、実施の形態1のデジタル位相制御回路10を用いて位相を進めさせる場合の選択回路S1、S2、S3の各選択状態と各部の遅延時間と総合遅延時間とを示した。

【表2】

10

20

30

SI CLK No.	<111>	<112>	<113>	<114>	<121>	<122>	<123>	<124>	<131>	<132>	<133>	<134>	<141>	<142>	<143>	<144>	<151>	<152>	<153>	<154>
S2 buffer No.(C)	4	4	7	8	4	5	6	7	4	5	6	7	4	4	4	5	4	4	4	4
S3 buffer No.(H)	4	3	2	1	4	3	2	1	4	3	2	1	4	3	2	1	4	3	2	1
SI out ctrl	2400	2400	2400	2400	2400	2400	2400	2400	2100	2100	2100	2100	2100	2100	2100	2100	2400	2400	2400	2400
VSOL1 ctrl	800	960	1120	1280	640	800	960	1120	480	640	800	960	320	480	640	800	100	320	480	640
VSOL2 ctrl	800	800	400	200	800	800	400	200	800	800	400	200	800	800	400	200	800	800	400	200
Delay Line Total Trd (ns)	4300	3960	3920	3880	3840	3800	3760	3720	3680	3640	3600	3560	3520	3480	3440	3400	3360	3320	3280	3240
Delay Line d (ns)	0	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40

SI CLK No.	<211>	<212>	<213>	<214>	<221>	<222>	<223>	<224>	<231>	<232>	<233>	<234>	<241>	<242>	<243>	<244>	<251>	<252>	<253>	<254>
S2 buffer No.(C)	3	3	5	6	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3
S3 buffer No.(H)	3	6	2	1	4	3	2	1	4	3	2	1	4	3	2	1	4	3	2	1
SI out ctrl	1800	1800	1800	1800	1800	1800	1800	1800	1800	1800	1800	1800	1800	1800	1800	1800	1800	1800	1800	1800
VSOL1 ctrl	800	800	1200	1600	400	800	800	1100	800	800	800	800	300	400	800	1000	100	300	400	800
VSOL2 ctrl	800	800	400	200	800	800	400	200	800	800	400	200	800	800	400	200	800	800	400	200
Delay Line Total Trd (ns)	3280	3100	3120	3040	3040	3000	2960	2920	2880	2840	2800	2760	2720	2680	2640	2600	2560	2520	2480	2440
Delay Line d (ns)	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40

SI CLK No.	<311>	<312>	<313>	<314>	<321>	<322>	<323>	<324>	<331>	<332>	<333>	<334>	<341>	<342>	<343>	<344>	<351>	<352>	<353>	<354>
S2 buffer No.(C)	5	6	7	8	4	5	6	7	4	5	6	7	4	4	4	5	4	4	4	4
S3 buffer No.(H)	4	3	2	1	4	3	2	1	4	3	2	1	4	3	2	1	4	3	2	1
SI out ctrl	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800
VSOL1 ctrl	800	960	1120	1280	640	800	960	1120	480	640	800	960	320	480	640	800	100	320	480	640
VSOL2 ctrl	800	800	400	200	800	800	400	200	800	800	400	200	800	800	400	200	800	800	400	200
Delay Line Total Trd (ns)	2400	2360	2320	2280	2240	2200	2160	2120	2080	2040	2000	1960	1920	1880	1840	1800	1760	1720	1680	1640
Delay Line d (ns)	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40

SI CLK No.	<411>	<412>	<413>	<414>	<421>	<422>	<423>	<424>	<431>	<432>	<433>	<434>	<441>	<442>	<443>	<444>	<451>	<452>	<453>	<454>
S2 buffer No.(C)	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
S3 buffer No.(H)	5	6	7	8	4	5	6	7	4	5	6	7	4	4	4	5	4	4	4	4
SI out ctrl	4	3	2	1	4	3	2	1	4	3	2	1	4	3	2	1	4	3	2	1
VSOL1 ctrl	800	960	1120	1280	640	800	960	1120	480	640	800	960	320	480	640	800	100	320	480	640
VSOL2 ctrl	800	800	400	200	800	800	400	200	800	800	400	200	800	800	400	200	800	800	400	200
Delay Line Total Trd (ns)	1000	1500	1520	1480	1440	1400	1360	1320	1280	1240	1200	1160	1120	1080	1040	1000	960	920	880	840
Delay Line d (ns)	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40

【0042】以上のように実施の形態1のデジタル位相制御回路10によれば、40psの分解能でクロック信号を連続的に制御することができる。従来例のデジタル位相制御回路100と比較しても、分解能を4分の1にすることができた。実施の形態1のデジタル位相制御回路10では、電圧制御遅延線が2本であったが、本発明はこれに限られず、互いに伝搬遅延時間の異なる遅延バッファを有する3本以上の電圧制御遅延線を選択回路によって接続し、クロック信号を通過させる遅延バッファの種類と数の数を変更することにより総合遅延時間を前記遅

延バッファの伝搬遅延時間より微小な単位で変化させてクロック信号の位相を制御するデジタル位相制御回路を構成してもよい。また、実施の形態1のデジタル位相制御回路10では、160ps及び200psの伝搬遅延時間を有する2種の遅延バッファを用い、分解能を40psとしたが、本発明はこれに限られない。本発明によればさらに微小の分解能で位相を制御するデジタル位相制御回路を構成することができる。

【0043】実施の形態2

次に本発明の実施の形態2のデジタル位相制御回路2

0につき図2を参照して説明する。図2は本発明の実施の形態2のデジタル位相制御回路20を示す回路図である。なお、実施の形態2は、分解能が、リファレンスクロック信号の周期の1/80に設定された例である。

【0044】実施の形態2のデジタル位相制御回路20は、入力された所定周波数のリファレンスクロック信号に対して、位相が所定の分解能で制御された1又は2以上のクロック信号を出力するデジタル位相制御回路において、第一種の伝搬遅延時間(160ps)を有する遅延バッファ(B0~F0)をh段(h=5)接続してなり、リファレンスクロック信号が入力される第一の電圧制御遅延線(遅延バッファB0~F0でなる電圧制御遅延線)と、第一の電圧制御遅延線のi段(i=6)の出力にそれぞれ接続し、第二種の伝搬遅延時間(200ps)を有する遅延バッファ(A1~A5、B1~B5、C1~C5、D1~D5、E1~E5、F1~F5)をj段(j=5)接続してなるi本(i=6)の第二の電圧制御遅延線(遅延バッファA1~A5、B1~B5、C1~C5、D1~D5、E1~E5又はF1~F5でなる電圧制御遅延線)と、第二種の伝搬遅延時間(200ps)を有する遅延バッファ(X1~X8)をk段(k=8)接続してなる第三の電圧制御遅延線(遅延バッファX1~X8でなる電圧制御遅延線)と、第一の電圧制御遅延線及び第二の電圧制御遅延線の何れかの段(a0,a0B~f5,f5B)からクロック信号を取り出し、かかる取り出したクロック信号を第三の電圧制御遅延線の一段目に出力する選択回路(S4)とを備え、第一の電圧制御遅延線及び第三の電圧制御遅延線がそれぞれ遅延ロックループ(DLL3、DLL5)により帰還制御され、各第二の電圧制御遅延線の各遅延バッファ(A1~F5)には、第三の電圧制御遅延線を帰還制御する遅延ロックループ(DLL5)により生成される分解能を維持するための遅延制御電圧又は電流(遅延制御信号22)が供給され、第一種の伝搬遅延時間(160ps)と第二種の伝搬遅延時間(200ps)との時間差(40ps)が、第一種の伝搬遅延時間(160ps)及び第二種の伝搬遅延時間(200ps)のいずれよりも小さく設定され、第一種の伝搬遅延時間(160ps)と第二種の伝搬遅延時間(200ps)との時間差(40ps)を前記分解能としてクロック信号の位相を制御することを特徴とするデジタル位相制御回路の一実施形態である。また、第二の電圧制御遅延線(遅延バッファA1~A5、B1~B5、C1~C5、D1~D5、E1~E5又はF1~F5でなる電圧制御遅延線)のうち少なくとも一の電圧制御遅延線(遅延バッファF1~F5でなる電圧制御遅延線)が遅延ロックループ(DLL4)により帰還制御され、他の第二の電圧制御遅延線(遅延バッファA1~A5、B1~B5、C1~C5、D1~D5又はE1~E5でなる電圧制御遅延線)の各遅延バッファ(A1~E5)には、前記一の電圧制御遅延線を帰還制御する遅延ロックループ(DLL4)によ

り生成される分解能を維持するための遅延制御電圧又は電流(遅延制御信号21)が供給されてクロック信号の位相を制御する。

【0045】遅延ロックループDLL3には、位相比較器PD3と、チャージポンプCP3と、ロウパスフィルタLPF3とが備えられる。遅延ロックループDLL4には、位相比較器PD4と、チャージポンプCP4と、ロウパスフィルタLPF4とが備えられる。以下に実施の形態2のデジタル位相制御回路20の動作につき数値を挙げて説明する。

【0046】従来例のデジタル位相制御回路100と同様に、選択回路S1の4つの入力端子INには、それぞれ325.5MHz(周期3200ps)のクロック信号CLK1~4(リファレンスクロック)が800psの位相差を持って、計4相供給される。このクロック信号CLK1~4は、例えば図示しないフェイズロックループ(Phase Locked Loop)で、4つのクロック信号CLK1~4の周波数とそれぞれの位相差(800ps)が同一になるように予め制御されて入力端子INに供給されるものである。選択回路S1は複数の入力端子INからある一対の差動を選択して取り出すものである。すなわち、選択回路S1は、差動クロック信号CLK1-3、CLK3-1、CLK2-4、CLK4-2の4通りうちから一対の差動クロック信号を選択して差動バッファA1、B0及び位相比較器PD3に出力する。

【0047】遅延ロックループDLL3は、5段の差動バッファB0~F0で構成される電圧制御遅延線を備える。この5段の差動バッファB0~F0は、それぞれ160psの伝搬遅延時間を持ち、遅延ロックループDLL3の帰還制御によって遅延時間が一定になるように制御されている。すなわち遅延ロックループDLL3は、5段の差動バッファB0~F0の総合遅延とリファレンスクロックから1/4周期の位相(800ps)がずれた信号とが同一位相になるように帰還制御され、160ps×5段=800psの周期が常に補償される。

【0048】選択回路S4は、合計36対の出力a0,a0B~f5,f5Bのうちの22対の出力(図上綱掛けされる差動バッファの出力)から1対の出力を選択するための回路である。遅延ロックループDLL5は、8段の差動バッファX1~X8で構成される電圧制御遅延線を備え、選択回路S4にて選択された出力信号が供給される。この8段の差動バッファX1~X8はそれぞれ200psの伝搬遅延時間を持ち、遅延ロックループDLL5の帰還制御によって遅延時間が一定になるように制御されている。すなわち遅延ロックループDLL5は、200ps×8段=1600psの周期が常に補償される。

【0049】30個の差動バッファA1~F5はそれぞれ遅延ロックループDLL5内の差動バッファX1~X8と同一形状で同一の伝搬遅延時間のバッファで構成される。この差動バッファA1~F5には、遅延ロックル

ブDLL5の遅延制御信号22が供給されているため、伝搬遅延時間が200psに保たれる。さらに、差動バッファA1～F5は、遅延ロックループDLL4の帰還制御によって、200psの伝搬遅延時間が再度補償される。遅延ロックループDLL4の帰還制御は次のように行われる。位相比較器PD4は、差動バッファB0～F0、差動バッファF1～F5を通過し1800psの総合遅延を有する差動クロック信号を出力f5、f5Bから受けるとともに、差動バッファA1を通過し200psの総合遅延を有する差動クロック信号を出力a1、a1Bから受け、これらを位相比較し位相誤差を検出して、UP信号又はDOWN信号をチャージポンプCP4に出力する。チャージポンプCP4+ロウパスフィルタLPF4は、位相比較器PD4からの信号により200psの伝搬遅延時間を保つように遅延制御信号21を生成し各差動バッファA1～F5へ送り出す。このように、差動バッファA1～F5には、2つの遅延ロックループDLL4、DLL5により生成される分解能を維持するための遅延制御電圧又は電流が供給され、遅延バッファの位置によるその伝搬遅延時間のバラツキが抑えられ、精度の良い分解能が補償されている。実施の形態2のデジタル位相制御回路20においては、2つの遅延ロックループDLL4、DLL5を用いたが、遅延ロックループDLL5のみを用いても良い。しかし、遅延ロックループDLL4をも用いれば、遅延ロックループDLL5内の差動バッファX1～X8と差動バッファA1～F5との遅延誤差を補償することができる。200psの遅延を補償している遅延ロックループD *

*DLL5は、出力端子T0、T0B～T7、T7Bから合計16相（差動対8相）のクロック信号を出力する目的も兼ねており、その16相のクロックの用途によっては、クロック供給先に近い場所に配置された方が都合の良い場合がある。そのような場合に、差動バッファA1～F5と遅延ロックループDLL5との距離を離してこれらを配置して、差動バッファA1～F5の伝搬遅延時間にばらつきが生じて、遅延ロックループDLL4を用いていれば、遅延ロックループDLL4の帰還によって差動バッファA1～F5の伝搬遅延時間を補償することができるのである。なお、位相比較器PD4が、リファレンスクロック信号に対し200psの総合遅延を有する差動クロック信号を比較的離れた出力a1、a1Bから受けるのは、差動バッファの伝搬遅延時間の位置によるバラツキをより緩和するためである。

【0050】さらに実施の形態2のデジタル位相制御回路20の動作につき図2、表3及び表4を参照して説明する。

【0051】実施の形態2のデジタル位相制御回路20は、40psの微小遅延時間（分解能）の変化を、リファレンスクロックと同一周期（40ps×40=1600ps）単位でかつ連続に出力することを目的とした回路である。表3は、実施の形態2のデジタル位相制御回路20のバッファの配列とその出力クロック信号の遅延時間との関係を示した表である。表3の網掛け部分はそのまま図2の網掛け部分に対応している。

【表3】

	0	1	2	3	4	5
A	0	200	400	600	800	1000
B	160	360	560	760	960	1160
C	320	520	720	920	1120	1320
D	480	680	880	1080	1280	1480
E	640	840	1040	1240	1440	1640
F	800	1000	1200	1400	1600	1800

横軸：200psBuffer

縦軸：160psBuffer

また、表4は、実施の形態2のデジタル位相制御回路20を用いて位相を遅らせる場合の選択回路S1、S4の各選択状態と各部の遅延時間と総合遅延時間とを示す表である。これは、40psの分解能でリファレンスクロックの周期（3200ps）を均等に80等分しクロック信号の位相が制御されることを表している。すなわち、リファレンスクロックの周期に対し、出力されるクロック信号の位相が均一でかつ連続的に一定の分解能で追従できることを表している。なお、表4では、出力端子OUTは便宜上図2の出力T0、T0Bのみに限定し、また選択回路S1と選択回路S4の遅延を無視している。

【表4】

SI CLK No.	<111>	<112>	<113>	<114>	<121>	<122>	<123>	<124>	<131>	<132>	<133>	<134>	<141>	<142>	<143>	<144>	<151>	<152>	<153>	<154>
S4 out-pd No.	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
SI out-err (ps)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
CLK 1-3 err (ps)	480	480	480	480	480	480	480	480	480	480	480	480	480	480	480	480	480	480	480	480
Delay Line Total Trd (ps)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Delay Line d. (ps)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SI CLK No.	<211>	<212>	<213>	<214>	<221>	<222>	<223>	<224>	<231>	<232>	<233>	<234>	<241>	<242>	<243>	<244>	<251>	<252>	<253>	<254>
S4 out-pd No.	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
SI out-err (ps)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
CLK 1-3 err (ps)	480	480	480	480	480	480	480	480	480	480	480	480	480	480	480	480	480	480	480	480
Delay Line Total Trd (ps)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Delay Line d. (ps)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SI CLK No.	<311>	<312>	<313>	<314>	<321>	<322>	<323>	<324>	<331>	<332>	<333>	<334>	<341>	<342>	<343>	<344>	<351>	<352>	<353>	<354>
S4 out-pd No.	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
SI out-err (ps)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
CLK 1-3 err (ps)	480	480	480	480	480	480	480	480	480	480	480	480	480	480	480	480	480	480	480	480
Delay Line Total Trd (ps)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Delay Line d. (ps)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SI CLK No.	<411>	<412>	<413>	<414>	<421>	<422>	<423>	<424>	<431>	<432>	<433>	<434>	<441>	<442>	<443>	<444>	<451>	<452>	<453>	<454>
S4 out-pd No.	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
SI out-err (ps)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
CLK 1-3 err (ps)	480	480	480	480	480	480	480	480	480	480	480	480	480	480	480	480	480	480	480	480
Delay Line Total Trd (ps)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Delay Line d. (ps)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【0052】表4に示すように、状態〈111〉においては、選択回路S1によって差動クロック信号CLK1-3が選択されており、選択回路S4によって差動バッファD0の出力d0,d0Bが選択されている。したがって、状態〈111〉においては、選択回路S1から出力される差動クロック信号CLK1-3の遅延は0psであり、差動バッファB0~D0による遅延は480psのである。その結果、総合遅延が480psとなっている。

【0053】状態〈112〉においては、選択回路S1によって差動クロック信号CLK1-3が選択されてお

り、選択回路S4によって差動バッファC1の出力c1,c1Bが選択されている。したがって、状態〈112〉においては、選択回路S1から出力される差動クロック信号CLK1-3の遅延は0psであり、差動バッファB0、C0、C1による遅延は520psのである。その結果、総合遅延が520psとなって、状態〈111〉に対し40ps位相が遅延している。したがって、状態〈111〉のときに、出力されるクロック信号の位相が所望の位相に対して40ps進んでいれば、状態〈112〉に切り換えることにより所望の位相のクロック信号を出力端子OUTから出力することができる。

【0054】同様にしてさらに位相を遅らせる場合は、表4に示すように、状態〈113〉→〈114〉→〈121〉→...→〈124〉→〈131〉→...→〈134〉→〈141〉→...→〈144〉→〈151〉→...→〈154〉と、選択回路S4の選択を切り換えることにより、40psの分解能でクロック信号を連続的に制御することができる。さらに、状態〈154〉に対し、状態〈211〉に切り換えると、位相を40ps遅らせることができる。

【0055】表4に示すように、状態〈211〉においては、選択回路S1によって差動クロック信号CLK2-4が選択されており、選択回路S4によって差動バッファD0の出力d0,d0Bが選択されている。したがって、状態〈211〉においては、選択回路S1から出力される差動クロック信号CLK2-4の遅延は800psであり、差動バッファB0~D0による遅延は480psである。その結果、総合遅延が1280psとなっている。

【0056】同様にしてさらに位相を遅らせる場合は、表4に示すように、状態〈212〉→〈214〉→〈221〉→...→〈224〉→〈231〉→...→〈234〉→〈241〉→...→〈244〉→〈251〉→...→〈254〉と、選択回路S4の選択を切り換え、さらに選択回路S1によって差動クロック信号CLK3-1を選択して、状態〈311〉→〈314〉→〈321〉→...→〈324〉→〈331〉→...→〈334〉→〈341〉→...→〈344〉→〈351〉→...→〈354〉と、選択回路S4の選択を切り換える。同様に、選択回路S1によって差動クロック信号CLK4-2を選択して、状態411→...→〈414〉→〈421〉→...→〈424〉→〈431〉→...→〈434〉→〈441〉→...→〈444〉→〈451〉→...→〈454〉と、選択回路S4の選択を切り換える。さらに、状態〈454〉の次は、状態〈111〉に切り換えることにより連続的に40psの分解能でクロック信号を制御することができる。

【0057】状態〈111〉～〈454〉を上述の順番とは逆順に切り換えれば、40psの分解能でクロック信号の位相を進めさせることができる。

【0058】以上のように実施の形態2のデジタル位相

制御回路20によれば、40psの分解能でクロック信号を連続的に制御することができる。従来例のデジタル位相制御回路100に比較しても、分解能を4分の1にすることができた。実施の形態2のデジタル位相制御回路20では、遅延バッファが2種であったが、本発明はこれに限られず、遅延バッファを3種以上各種所定数備え、クロック信号を通過させる遅延バッファの種類ごとの数を変更することによりクロック信号の総合遅延時間を遅延バッファの伝搬遅延時間より微少な単位で変化させて前記クロック信号の位相を制御するデジタル位相制御回路を構成してもよい。また、実施の形態2のデジタル位相制御回路20では、160ps及び200psの伝搬遅延時間を有する2種の遅延バッファを用い、分解能を40psとしたが、本発明はこれに限られない。本発明によればさらに微少の分解能で位相を制御するデジタル位相制御回路を構成することができる。

【0059】実施の形態3次に本発明の実施の形態3のデジタル位相制御回路30につき図3を参照して説明する。図3は本発明の実施の形態3のデジタル位相制御回路30を示す回路図である。なお、実施の形態3は、

分解能が、リファレンスクロック信号の周期の1/80に設定された例である。

【0060】実施の形態3のデジタル位相制御回路20は、入力された所定周波数のリファレンスクロック信号に対して、位相が所定の分解能で制御された1又は2以上のクロック信号を出力するデジタル位相制御回路において、第一種の伝搬遅延時間(160ps)を有する遅延バッファ(J1~J5)を複数段(5段)接続してなり、リファレンスクロック信号が入力される第一の電圧制御遅延線(遅延バッファJ1~J5でなる電圧制御遅延線)と、第二種の伝搬遅延時間(200ps)を有する遅延バッファ(L1~L8)を複数段(8段)接続してなる第二の電圧制御遅延線(遅延バッファL1~L8でなる電圧制御遅延線)と、第二の電圧制御遅延線の入力側に接続し、可変遅延バッファ(K1~K4)を複数段(4段)接続してなるサイクリック遅延回路(31)と、第一の電圧制御遅延線の何れかの段からクロック信号を取り出し、かかる取り出したクロック信号を前記サイクリック遅延回路(31)の一段目に出力する選択回路(S5)とを備え、第一の電圧制御遅延線及び第二の電圧制御遅延線がそれぞれ遅延ロックループ(DLL6、DLL7)により帰還制御され、第一の電圧制御遅延線の各遅延バッファ(J1~J5)は、第一の電圧制御遅延線を帰還制御する遅延ロックループ(DLL6)により生成される分解能を維持するための第一の遅延制御電圧又は電流(遅延制御信号34)と、第二の電圧制御遅延線を帰還制御する遅延ロックループ(DLL7)により生成される分解能を維持するための第二の遅延制御電圧又は電流(遅延制御信号35)とが供給され、前記サイクリック遅延回路(31)の各可変遅延バッファ(差動バ

ッファK1~K4)は、第一の遅延制御電圧(遅延制御信号34)又は電流、及び第二の遅延制御電圧又は電流(遅延制御信号35)のうちいずれか一方(遅延制御信号35)が供給されるとともに、他方(遅延制御信号34)をも供給するか否かを切り換える切換回路(32)が付設されてその伝搬遅延時間を第一種の伝搬遅延時間(160ps)と第二種の伝搬遅延時間(200ps)とに切換可能にされ、第一種の伝搬遅延時間(160ps)と第二種の伝搬遅延時間(200ps)との時間差(40ps)が、第一種の伝搬遅延時間(160ps)及び第二種の伝搬遅延時間のいずれよりも小さく設定され、第一種の伝搬遅延時間(160ps)と第二種の伝搬遅延時間(200ps)との時間差(40ps)を前記分解能としてクロック信号の位相を制御することを特徴とするデジタル位相制御回路の一実施形態である。

【0061】遅延ロックループDLL6には、位相比較器PD6と、チャージポンプCP6と、ロウパスフィルタLPF6とが備えられる。遅延ロックループDLL7には、位相比較器PD7と、チャージポンプCP7と、ロウパスフィルタLPF7とが備えられる。以下に実施の形態3のデジタル位相制御回路30の動作につき数値を挙げて説明する。

【0062】従来例のデジタル位相制御回路100と同様に、選択回路S1の4つの入力端子INには、それぞれ325.5MHz(周期3200ps)のクロック信号CLK1~4(リファレンスクロック)が800psの位相差を持って、計4相供給される。このクロック信号CLK1~4は、例えば図示しないフェイズロックループ(Phase Locked Loop)で、4つのクロック信号CLK1~4の周波数とそれぞれの位相差(800ps)が同一になるように予め制御されて入力端子INに供給されるものである。選択回路S1は複数の入力端子INからある一対の差動を選択して取り出すものである。すなわち、選択回路S1は、差動クロック信号CLK1-3、CLK3-1、CLK2-4、CLK4-2の4通りうちから一対の差動クロック信号を選択して差動バッファJ1及び位相比較器PD6に出力する。

【0063】遅延ロックループDLL7は、8段の差動バッファL1~L8で構成される電圧制御遅延線を備える。この8段の差動バッファL1~L8は、それぞれ200psの伝搬遅延時間を持ち、遅延ロックループDLL7の帰還制御によって遅延時間が一定になるように制御されている。すなわち遅延ロックループDLL7は、200ps×8段=1600psの周期が常に補償される。一方、遅延ロックループDLL6は、5段の差動バッファJ1~J5で構成される電圧制御遅延線を備える。この5段の差動バッファJ1~J5は、それぞれ160psの伝搬遅延時間を持ち、遅延ロックループDLL6により生成される遅延制御信号34と遅延ロックループDLL7により生成される遅延制御信号35によって遅延時間が一定にな

るよう制御されている。遅延制御信号34は、 -40ps の遅延時間に制御するための信号である。遅延制御信号35は、 200ps の遅延時間に制御するための信号である。遅延ロックループDLL6には、電流を調節するための電流制御回路33が付加されている。遅延ロックループDLL6は、遅延ロックループDLL7で生成された 200ps の遅延時間に制御するための制御電流に、電流制御回路33から入力される -40ps の遅延時間に制御するための制御電流が加算されることで、 $160\text{ps} \times 5\text{段} = 800\text{ps}$ の周期が常に補償される。

【0064】選択回路S5は、5対の出力j1,j1B~j5,j5Bから1対の出力を選択するための回路である。

【0065】またサイクリック遅延回路31は微少遅延(分解能)を生成しかつその遅延を加減するための回路である。サイクリック遅延回路31は遅延ロックループDLL6内の差動バッファJ1~J5と同一形状で形成された4段の差動バッファK1~K4で構成されている。また、サイクリック遅延回路31には遅延制御信号35が常に供給されている。切換回路32は、遅延ロックループDLL6からの遅延制御信号34を開閉するためのものである。切換回路32には、各差動バッファK1~K4ごとにスイッチ素子SW1~SW4が設けられている。スイッチ素子SW1がOFF(閉)の時は、差動バッファK1は、遅延制御信号35のみを受け、伝搬遅延時間が 200ps となる。スイッチ素子SW1がON

(開)の時は、差動バッファK1は、遅延制御信号34及び遅延制御信号35を受け、伝搬遅延時間が 160ps となる。スイッチ素子SW2~SW4の動作と差動バッファK2~K4の伝搬遅延時間との関係も同様である。

【0066】出力端子CL1,XCL1~CL8,XCL8からは、前記リファレンスクロックに対し分解能 40ps を持つ合計16相(差動対8相)のクロック信号が同時に出力される。

【0067】さらに実施の形態3のデジタル位相制御回路30の動作につき図3及び表5を参照して説明する。

10 【0068】実施の形態3のデジタル位相制御回路30は、 40ps の微少遅延時間(分解能)の変化を、リファレンスクロックと同一周期($40\text{ps} \times 40 = 1600\text{ps}$)単位でかつ連続に出力することを目的とした回路である。表5は、実施の形態3のデジタル位相制御回路30を用いて位相を遅らせる場合の選択回路S1、S5の各選択状態と各部の遅延時間と総合遅延時間とを示す表である。これは、 40ps の分解能でリファレンスクロックの周期(3200ps)を均等に80等分しクロック信号の位相が制御されることを表している。すなわち、リファレンスクロ

20 クの周期に対し、出力されるクロック信号の位相が均でかつ連続的に一定の分解能で追従できることを表している。なお、表5では、出力端子OUTは便宜上図3の出力XCL4,XCL8のみに限定し、また選択回路S1と選択回路S5の遅延を無視している。

【表5】

SI CLK No.	<111>	<112>	<113>	<114>	<121>	<122>	<123>	<124>	<131>	<132>	<133>	<134>	<141>	<142>	<143>	<144>	<151>	<152>	<153>	<154>
SI out-pat No. (a) / B	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
SS out-pat No. (a) / B	1	1	1	1	2	2	2	2	3	3	3	3	4	4	4	4	5	5	5	5
SI out off (a)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
CLL out off (a)	160	160	160	160	320	320	320	320	480	480	480	480	640	640	640	640	800	800	800	800
Delay Line Total Trd (ps)	680	720	760	800	680	720	760	800	680	720	760	800	680	720	760	800	680	720	760	800
Delay Line off (ps)	2440	2480	2520	2560	2600	2640	2680	2720	2760	2800	2840	2880	2920	2960	3000	3040	3080	3120	3160	3200
Delay Line off (ps)	0	40	80	120	40	80	120	160	40	80	120	160	40	80	120	160	40	80	120	160

SI CLK No.	<211>	<212>	<213>	<214>	<221>	<222>	<223>	<224>	<231>	<232>	<233>	<234>	<241>	<242>	<243>	<244>	<251>	<252>	<253>	<254>
SI out-pat No. (a) / B	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2
SS out-pat No. (a) / B	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
SI out off (a)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
CLL out off (a)	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800
Delay Line Total Trd (ps)	680	720	760	800	680	720	760	800	680	720	760	800	680	720	760	800	680	720	760	800
Delay Line off (ps)	2440	2480	2520	2560	2600	2640	2680	2720	2760	2800	2840	2880	2920	2960	3000	3040	3080	3120	3160	3200
Delay Line off (ps)	0	40	80	120	40	80	120	160	40	80	120	160	40	80	120	160	40	80	120	160

SI CLK No.	<311>	<312>	<313>	<314>	<321>	<322>	<323>	<324>	<331>	<332>	<333>	<334>	<341>	<342>	<343>	<344>	<351>	<352>	<353>	<354>
SI out-pat No. (a) / B	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
SS out-pat No. (a) / B	1	1	1	1	2	2	2	2	3	3	3	3	4	4	4	4	5	5	5	5
SI out off (a)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
CLL out off (a)	160	160	160	160	320	320	320	320	480	480	480	480	640	640	640	640	800	800	800	800
Delay Line Total Trd (ps)	680	720	760	800	680	720	760	800	680	720	760	800	680	720	760	800	680	720	760	800
Delay Line off (ps)	2440	2480	2520	2560	2600	2640	2680	2720	2760	2800	2840	2880	2920	2960	3000	3040	3080	3120	3160	3200
Delay Line off (ps)	0	40	80	120	40	80	120	160	40	80	120	160	40	80	120	160	40	80	120	160

SI CLK No.	<411>	<412>	<413>	<414>	<421>	<422>	<423>	<424>	<431>	<432>	<433>	<434>	<441>	<442>	<443>	<444>	<451>	<452>	<453>	<454>
SI out-pat No. (a) / B	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4
SS out-pat No. (a) / B	1	1	1	1	2	2	2	2	3	3	3	3	4	4	4	4	5	5	5	5
SI out off (a)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
CLL out off (a)	160	160	160	160	320	320	320	320	480	480	480	480	640	640	640	640	800	800	800	800
Delay Line Total Trd (ps)	680	720	760	800	680	720	760	800	680	720	760	800	680	720	760	800	680	720	760	800
Delay Line off (ps)	2440	2480	2520	2560	2600	2640	2680	2720	2760	2800	2840	2880	2920	2960	3000	3040	3080	3120	3160	3200
Delay Line off (ps)	0	40	80	120	40	80	120	160	40	80	120	160	40	80	120	160	40	80	120	160

【0069】表5に示すように、状態〈111〉においては、選択回路S1によって差動クロック信号CLK1-3が選択されており、選択回路S5によって差動バッファJ1の出力j1,j1Bが選択され、スイッチ素子SW1がOFFであり、スイッチ素子SW2~SW4がONである。したがって、状態〈111〉においては、選択回路S1から出力される差動クロック信号CLK1-3の遅延は0psであり、差動バッファJ1による遅延は160ps、サイクリック遅延回路31による遅延が680ps（そのうち、差動バッファK1による遅延は200ps、差動バッ

ファK2~K4による遅延は160ps×3=480ps）、差動バッファL1~L8による遅延は200ps×8=1600psである。その結果、総合遅延は、2440psとなっている。

【0070】状態〈112〉においては、選択回路S1によって差動クロック信号CLK1-3が選択されており、選択回路S5によって差動バッファJ1の出力j1,j1Bが選択され、スイッチ素子SW1、SW2がOFFであり、スイッチ素子SW3、SW4がONである。したがって、状態〈111〉においては、選択回路S1から出力される差動クロック信号CLK1-3の遅延は0ps

であり、差動バッファJ1による遅延は160ps、サイクリック遅延回路31による遅延が720ps（そのうち、差動バッファK1、K2による遅延は $200\text{ps} \times 2 = 400\text{ps}$ 、差動バッファK3、K4による遅延は $160\text{ps} \times 2 = 320\text{ps}$ ）、差動バッファL1～L8による遅延は $200\text{ps} \times 8 = 1600\text{ps}$ である。その結果、総合遅延は、2480psとなっている。したがって、状態〈111〉のときに、出力されるクロック信号の位相が所望の位相に対して40ps進んでいれば、状態〈112〉に切り換えることにより所望の位相のクロック信号を出力端子OUTから出力することができる。

【0071】状態〈113〉においては、選択回路S1によって差動クロック信号CLK1-3が選択されており、選択回路S5によって差動バッファJ1の出力j1,j1Bが選択され、スイッチ素子SW1～SW3がOFFであり、スイッチ素子SW4がONである。したがって、状態〈113〉においては、選択回路S1から出力される差動クロック信号CLK1-3の遅延は0psであり、差動バッファJ1による遅延は160ps、サイクリック遅延回路31による遅延が760ps（そのうち、差動バッファK1～K3による遅延は $200\text{ps} \times 3 = 600\text{ps}$ 、差動バッファK4による遅延は160ps）、差動バッファL1～L8による遅延は $200\text{ps} \times 8 = 1600\text{ps}$ である。その結果、総合遅延は、2520psとなっている。したがって、状態〈111〉のときに、出力されるクロック信号の位相が所望の位相に対して80ps進んでいれば、状態〈113〉に切り換えることにより所望の位相のクロック信号を出力端子OUTから出力することができる。

【0072】同様にしてさらに位相を遅らせる場合は、表5に示すように、状態〈114〉→〈121〉→…→〈124〉→〈131〉→…→〈134〉→〈141〉→…→〈144〉→〈151〉→…→〈154〉と、選択回路S5及び切換回路32を切り換えることにより、40psの分解能でクロック信号を連続的に制御することができる。さらに、状態〈154〉に対し、状態〈211〉に切り換えると、位相を40ps遅らせることができる。

【0073】表5に示すように、状態〈211〉におい

ては、選択回路S1によって差動クロック信号CLK2-4が選択されており、選択回路S5によって差動バッファJ1の出力j1,j1Bが選択され、スイッチ素子SW1がOFFであり、スイッチ素子SW2～SW4がONである。したがって、状態〈111〉においては、選択回路S1から出力される差動クロック信号CLK1-3の遅延は800psであり、差動バッファJ1による遅延は160ps、サイクリック遅延回路31による遅延が680ps（そのうち、差動バッファK1による遅延は200ps、差動バッファK2～K4による遅延は $160\text{ps} \times 3 = 480\text{ps}$ ）、差動バッファL1～L8による遅延は $200\text{ps} \times 8 = 1600\text{ps}$ である。その結果、総合遅延は、3240psとなっている。

【0074】同様にしてさらに位相を遅らせる場合は、表5に示すように、状態〈212〉→〈214〉→〈221〉→…→〈224〉→〈231〉→…→〈234〉→〈241〉→…→〈244〉→〈251〉→…→〈254〉と、選択回路S5及び切換回路32を切り換え、さらに選択回路S1によって差動クロック信号CLK3-1を選択して、状態〈311〉→〈314〉→〈321〉→…→〈324〉→〈331〉→…→〈334〉→〈341〉→…→〈344〉→〈351〉→…→〈354〉と、選択回路S5及び切換回路32を切り換える。同様に、選択回路S1によって差動クロック信号CLK4-2を選択して、状態〈411〉→…→〈414〉→〈421〉→…→〈424〉→〈431〉→…→〈434〉→〈441〉→…→〈444〉→〈451〉→…→〈454〉と、選択回路S5及び切換回路32を切り換える。さらに、状態〈454〉の次は、状態〈111〉に切り換えることにより連続的に40psの分解能でクロック信号を制御することができる。

【0075】状態〈111〉～〈454〉を上述の順番とは逆順に切り換えれば、40psの分解能でクロック信号の位相を進めさせることができる。表6に、実施の形態3のデジタル位相制御回路30を用いて位相を進める場合（表5に対して逆順）の選択回路S1、S5の各選択状態と各部の遅延時間と総合遅延時間とを示した。

【表6】

SI CLK No.	<111>	<112>	<113>	<114>	<121>	<122>	<123>	<124>	<131>	<132>	<133>	<134>	<141>	<142>	<143>	<144>	<151>	<152>	<153>	<154>
SS out-put No. (x) / B	4	5	5	5	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4
cycle1st offset (x)	4	3	2	1	4	3	2	1	4	3	2	1	4	3	2	1	4	3	2	1
SI out offset	2400	2400	2400	2400	2400	2400	2400	2400	2400	2400	2400	2400	2400	2400	2400	2400	2400	2400	2400	2400
CLK offset (ns)	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800
cycle1st offset (ns)	800	760	720	680	800	760	720	680	800	760	720	680	800	760	720	680	800	760	720	680
Delay Line Total Trd (ns)	5600	5560	5520	5480	5440	5400	5360	5320	5280	5240	5200	5160	5120	5080	5040	5000	4960	4920	4880	4840
Delay Line offset (ns)	0	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40

SI CLK No.	<211>	<212>	<213>	<214>	<221>	<222>	<223>	<224>	<231>	<232>	<233>	<234>	<241>	<242>	<243>	<244>	<251>	<252>	<253>	<254>
SS out-put No. (x) / B	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3
cycle1st offset (x)	5	5	5	5	4	4	4	4	3	3	3	3	2	2	2	2	1	1	1	1
SI out offset	1800	1800	1800	1800	1800	1800	1800	1800	1800	1800	1800	1800	1800	1800	1800	1800	1800	1800	1800	1800
CLK offset (ns)	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800
cycle1st offset (ns)	800	760	720	680	800	760	720	680	800	760	720	680	800	760	720	680	800	760	720	680
Delay Line Total Trd (ns)	4800	4760	4720	4680	4640	4600	4560	4520	4480	4440	4400	4360	4320	4280	4240	4200	4160	4120	4080	4040
Delay Line offset (ns)	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40

SI CLK No.	<311>	<312>	<313>	<314>	<321>	<322>	<323>	<324>	<331>	<332>	<333>	<334>	<341>	<342>	<343>	<344>	<351>	<352>	<353>	<354>
SS out-put No. (x) / B	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2
cycle1st offset (x)	5	5	5	5	4	4	4	4	3	3	3	3	2	2	2	2	1	1	1	1
SI out offset	600	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800
CLK offset (ns)	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800
cycle1st offset (ns)	800	760	720	680	800	760	720	680	800	760	720	680	800	760	720	680	800	760	720	680
Delay Line Total Trd (ns)	4000	3960	3920	3880	3840	3800	3760	3720	3680	3640	3600	3560	3520	3480	3440	3400	3360	3320	3280	3240
Delay Line offset (ns)	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40

SI CLK No.	<411>	<412>	<413>	<414>	<421>	<422>	<423>	<424>	<431>	<432>	<433>	<434>	<441>	<442>	<443>	<444>	<451>	<452>	<453>	<454>
SS out-put No. (x) / B	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
cycle1st offset (x)	5	5	5	5	4	4	4	4	3	3	3	3	2	2	2	2	1	1	1	1
SI out offset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
CLK offset (ns)	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800	800
cycle1st offset (ns)	800	760	720	680	800	760	720	680	800	760	720	680	800	760	720	680	800	760	720	680
Delay Line Total Trd (ns)	3200	3160	3120	3080	3040	3000	2960	2920	2880	2840	2800	2760	2720	2680	2640	2600	2560	2520	2480	2440
Delay Line offset (ns)	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40	-40

【0076】以上のように実施の形態3のデジタル位相制御回路20によれば、40psの分解能でクロック信号を連続的に制御することができる。従来例のデジタル位相制御回路100と比較しても、分解能を4分の1にすることができた。また、遅延バッファの位置によるその伝搬遅延時間のバラツキが抑えられ、分解能の精度が向上するという効果がある。伝搬遅延時間を第一種の伝搬遅延時間（160ps）と第二種の伝搬遅延時間（200ps）とに切換可能にされた可変遅延バッファ（差動バッファK1～K4）を採用したことにより、バッファ数及びセレク

タ数の少ない高分解能デジタル位相制御回路を構成することができた。選択回路（セレクタ）の数が1つなので、複数の選択回路の切換タイミングがずれることによる弊害が生じないという効果がある。

【0077】実施の形態3のデジタル位相制御回路30では、遅延バッファが2種であったが、本発明はこれに限られず、遅延バッファを3種以上各種所定数備え、クロック信号を通過させる遅延バッファの種類ごとの数を変更することによりクロック信号の総合遅延時間を遅延バッファの伝搬遅延時間より微少な単位で変化させて前

記クロック信号の位相を制御するデジタル位相制御回路を構成してもよい。また、実施の形態3のデジタル位相制御回路30では、160ps及び200psの伝搬遅延時間を有する2種の遅延バッファを用い、分解能を40psとしたが、本発明はこれに限られない。本発明によればさらに微少の分解能で位相を制御するデジタル位相制御回路を構成することができる。

【0078】

【発明の効果】上述のように本発明には、主に以下のような効果がある。すなわち本発明は、それぞれ異なる伝搬遅延時間を有する遅延バッファを2種以上各種所定数備え、クロック信号を通過させる遅延バッファの種類ごとの数を変更することにより前記クロック信号の総合遅延時間を前記遅延バッファの伝搬遅延時間より微少な単位で変化させて前記クロック信号の位相を制御するので、分解能が遅延バッファの遅延時間よりも小さくなるという効果がある。これにより、遅延バッファの限界の微少遅延時間よりさらに小さい分解能を得ることができるという効果がある。また、分解能を小さくするために遅延バッファの遅延時間を小さくする（高速化する）必要はないので、分解能を小さくするために遅延バッファの数が増加してしまうという不利益はない。その結果として、遅延バッファの高速化に伴う消費電力の増加及び遅延バッファの数の増加に伴う消費電力の増加がともに防がれ、かつ、遅延バッファの数の増加に伴う回路専有面積の増加が防がれ、省電力・小面積型の高分解能デジタル位相制御回路を得ることができるという効果がある。また、分解能を小さくするために遅延バッファの遅延時間を小さくする（高速化する）必要がないので、高速化のために高度な設計や高性能プロセスが必要とならない。そのため、設計負担、プロセス負担を増大させることなく高分解能デジタル位相制御回路を構成すること

ができるという効果がある。

【図面の簡単な説明】

【図1】 本発明の実施の形態1のデジタル位相制御回路10を示す回路図

【図2】 本発明の実施の形態2のデジタル位相制御回路20を示す回路図

【図3】 本発明の実施の形態3のデジタル位相制御回路30を示す回路図

【図4】 従来の一例のデジタル位相制御回路100を示す回路図

【符号の説明】

10…実施の形態1のデジタル位相制御回路

20…実施の形態2のデジタル位相制御回路

30…実施の形態3のデジタル位相制御回路

31…サイクリック遅延回路

100…従来の一例のデジタル位相制御回路

B0～F0、A1～F5、X1～X8、G1～G10、

H1～H8、J1～J5、L1～L8…差動バッファ

K1～K4…可変遅延バッファ

20 VCDL1、VCDL2…電圧制御遅延線

DLL1、DLL2、DLL3、DLL4、DLL5、

DLL6、DLL7…遅延ロックループ

S1、S2、S3、S4、S5…選択回路

PD1、PD2、PD3、PD4、PD5、PD6、P

D7…位相比較器

CP1、CP2、CP3、CP4、CP5、CP6、C

P7…チャージポンプ

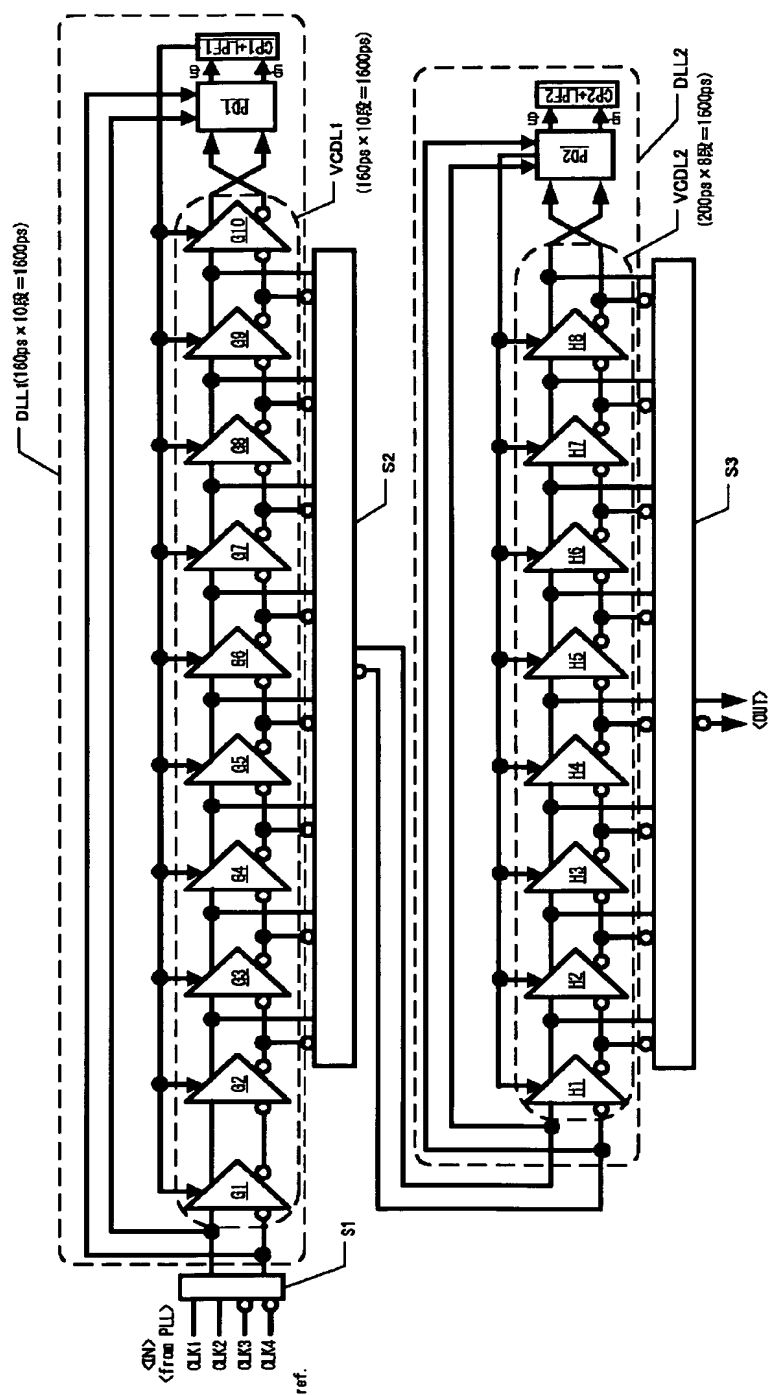
LPF1、LPF2、LPF3、LPF4、LPF5、

LPF6、LPF7…ロウパスフィルタ

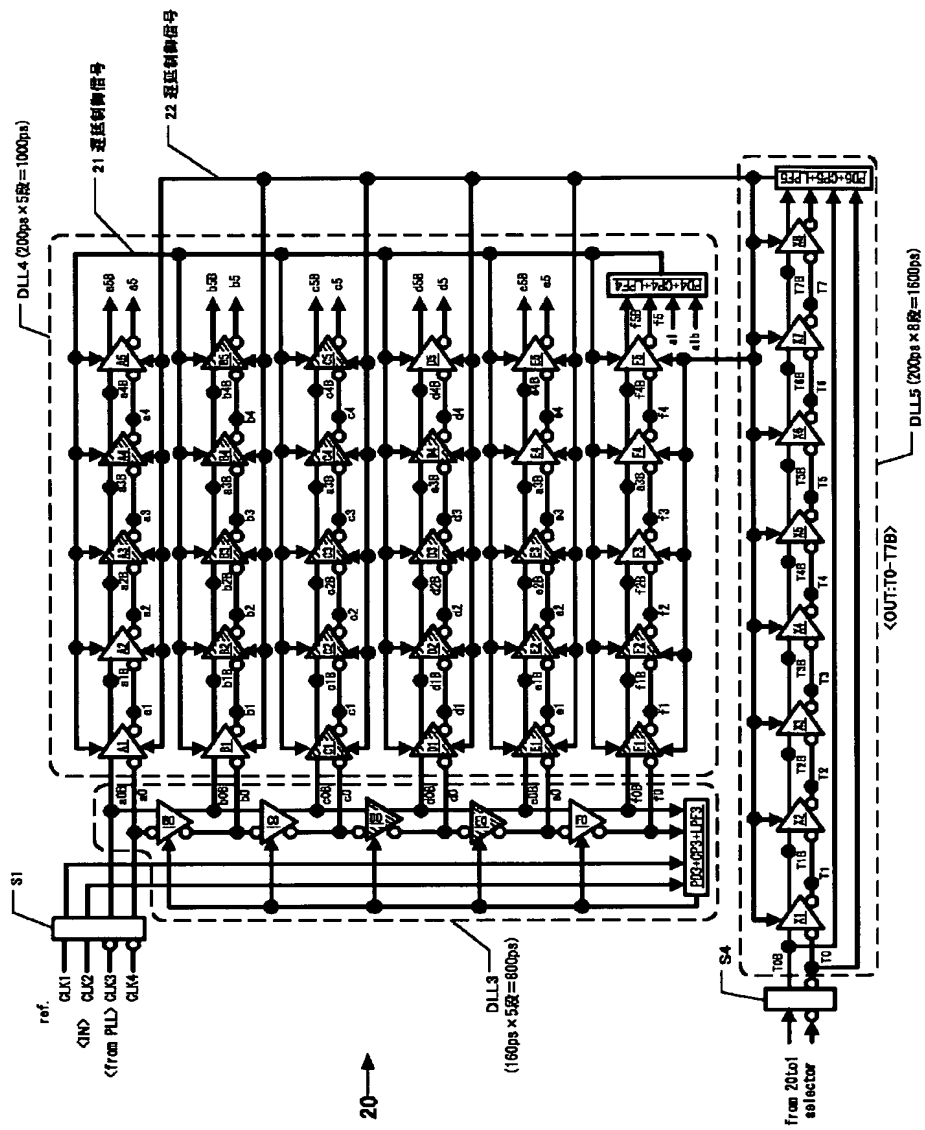
30 IN…入力端子

OUT…出力端子

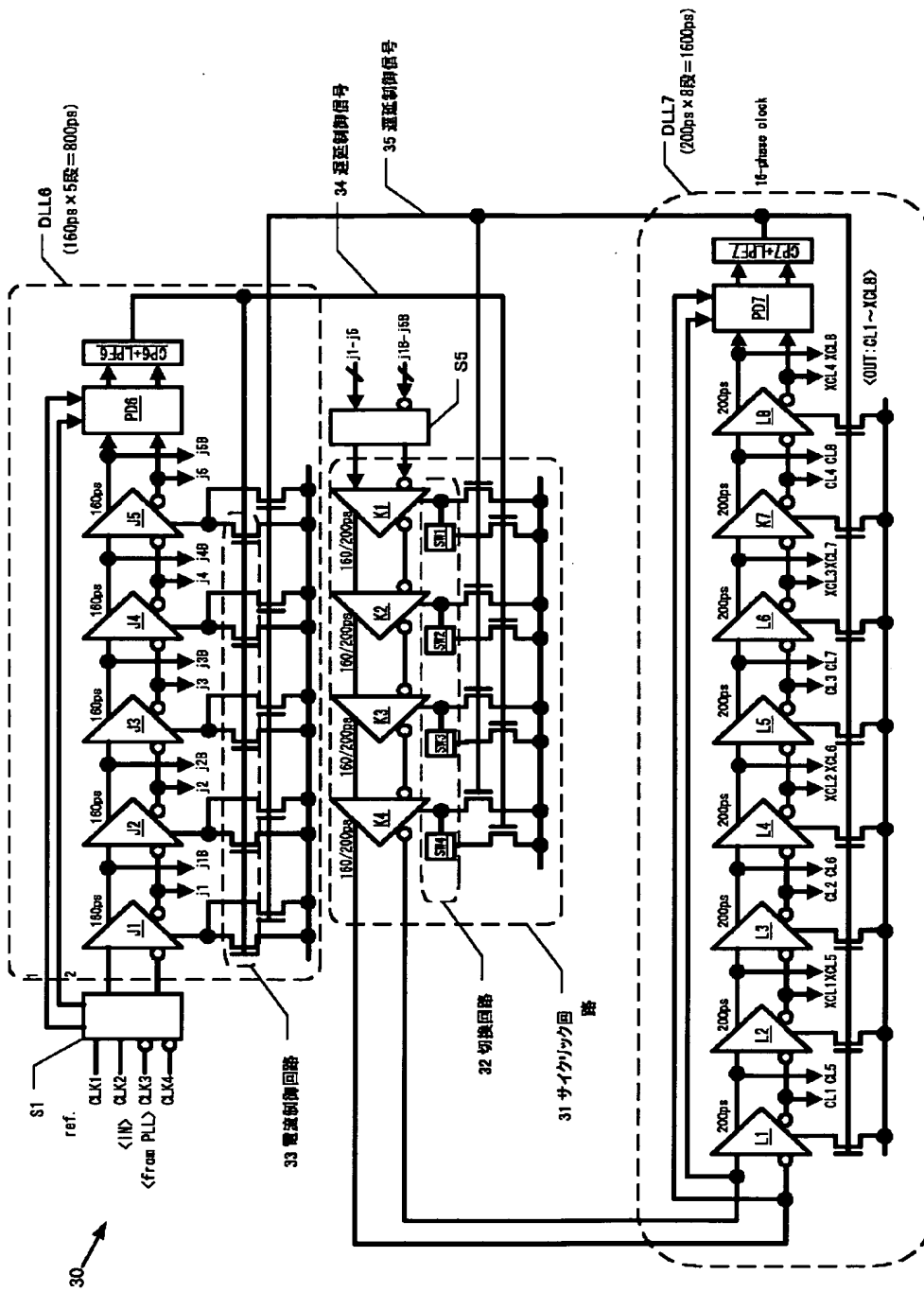
10 →



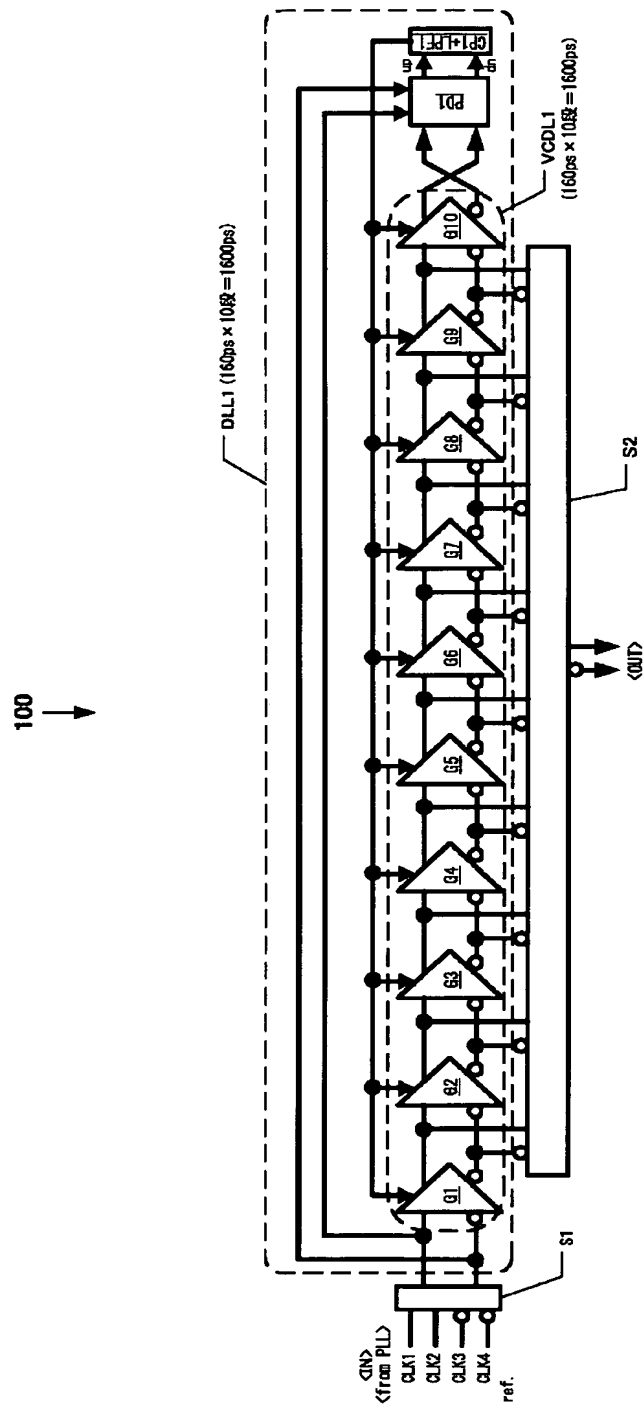
【図 2】



【圖 3】



【図4】



フロントページの続き

Fターム(参考) 5B079 BA20 BC03 CC02 CC13 DD05
DD06 DD20
5J001 AA11 BB00 DD09
5J106 AA05 CC21 CC38 CC58 DD09
DD24 DD32 FF03 GG14 HH02
JJ07 KK38 KK40 LL05
5K047 AA05 GG09 GG42 MM48 MM63